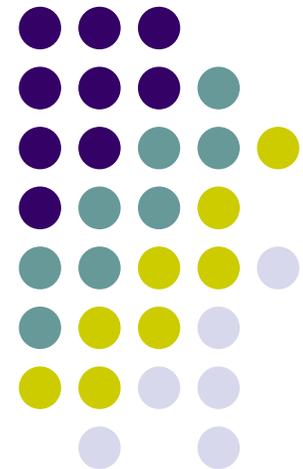


FMステレオ・チューナの製作

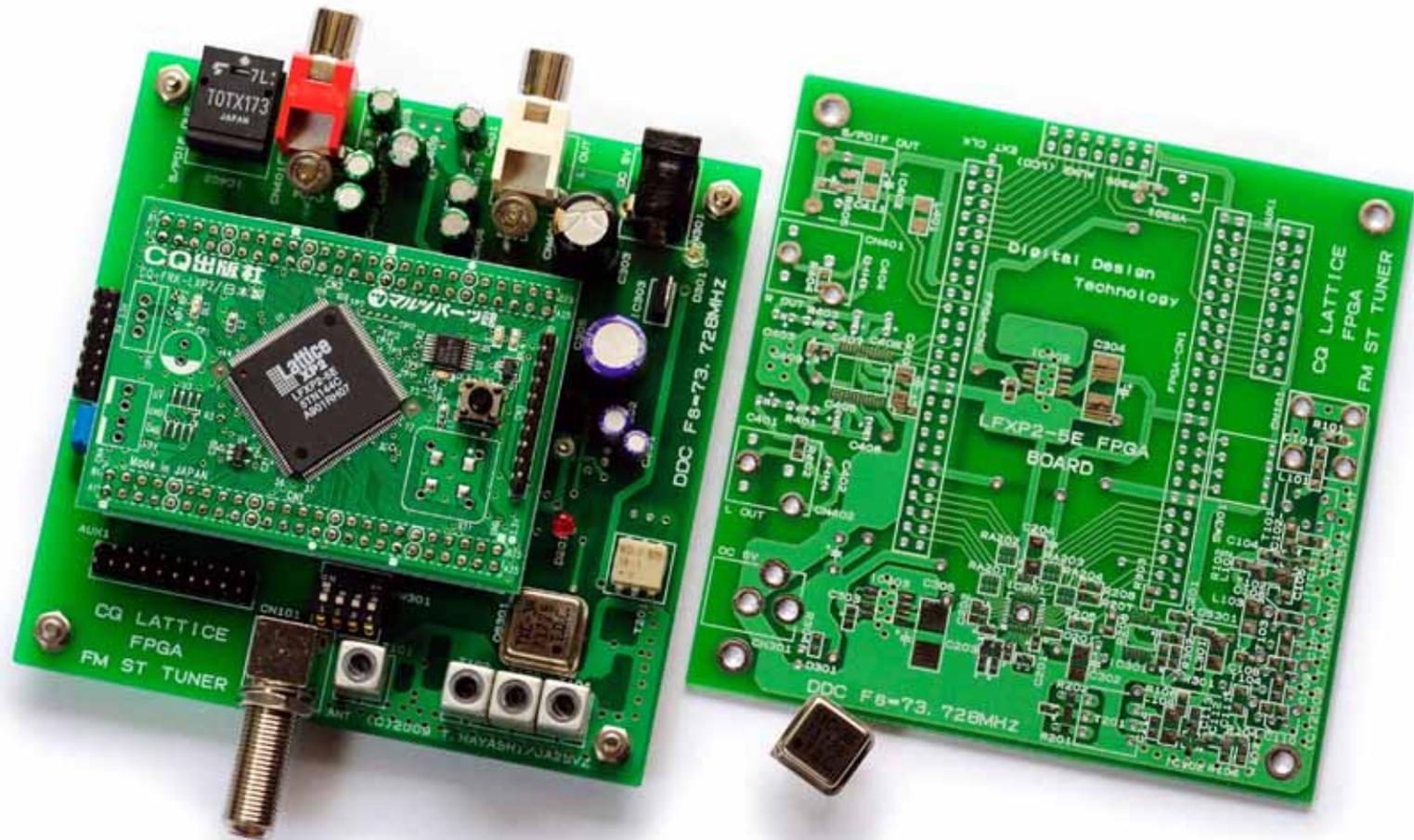
デジタル信号処理をハードウェア化して、
高音質FMチューナを実現する

林 輝彦 (thayashi@ta2.so-net.ne.jp)

JA2SVZ

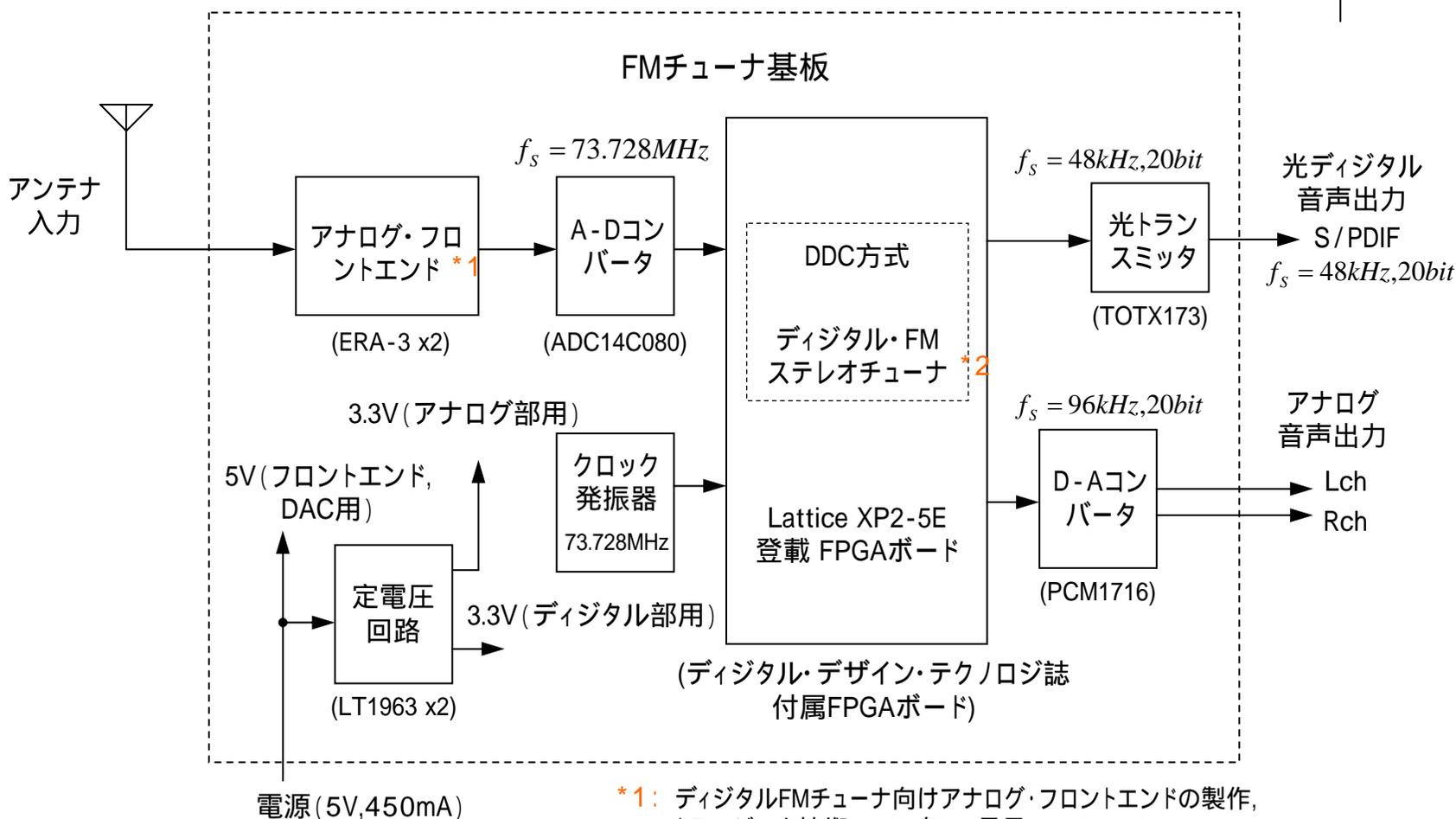








FMステレオ・チューナの構成

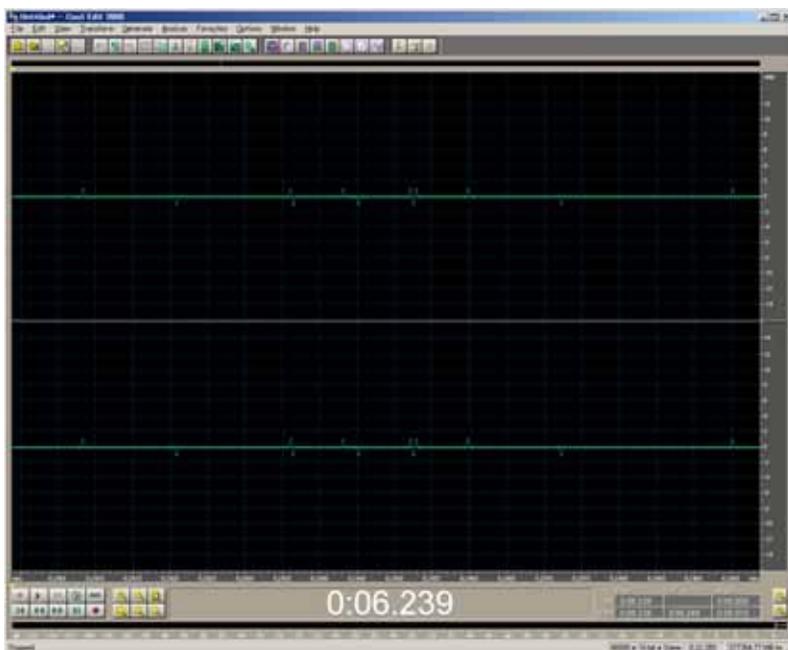


*1: デジタルFMチューナ向けアナログ・フロントエンドの製作, トランジスタ技術 2009年12月号, pp.208-219

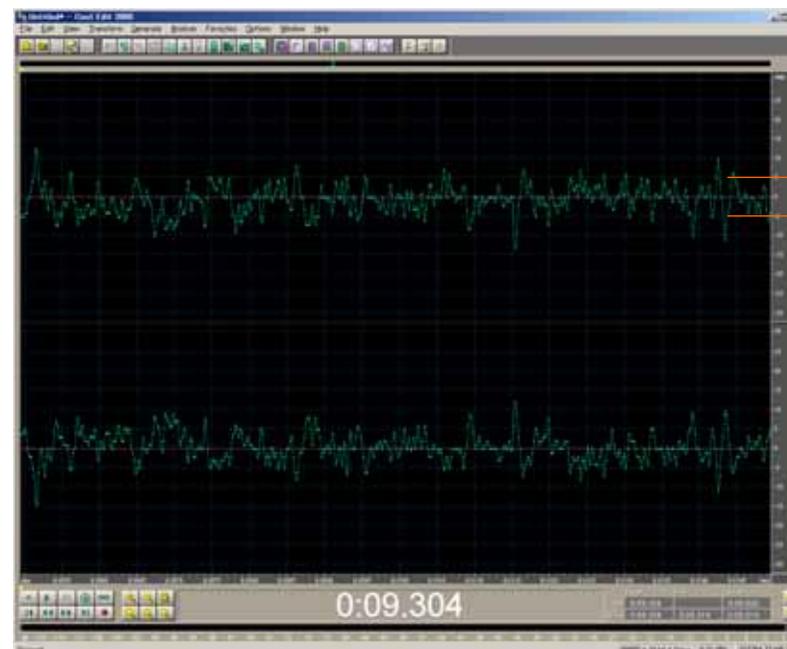
*2: デジタルFMステレオ・チューナの製作, デジタル・デザイン・テクノロジー No.1 (2009・SPRING), pp.109-127



総合テスト (SN比)



モノラル(無変調)

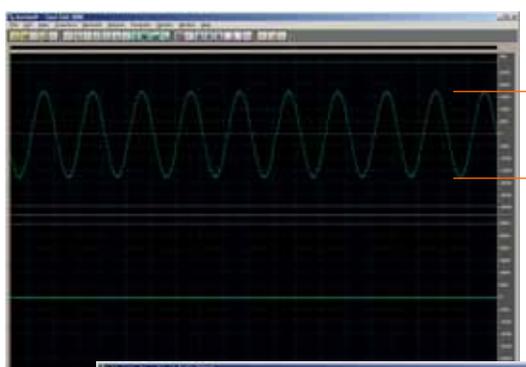


ステレオ(無変調)

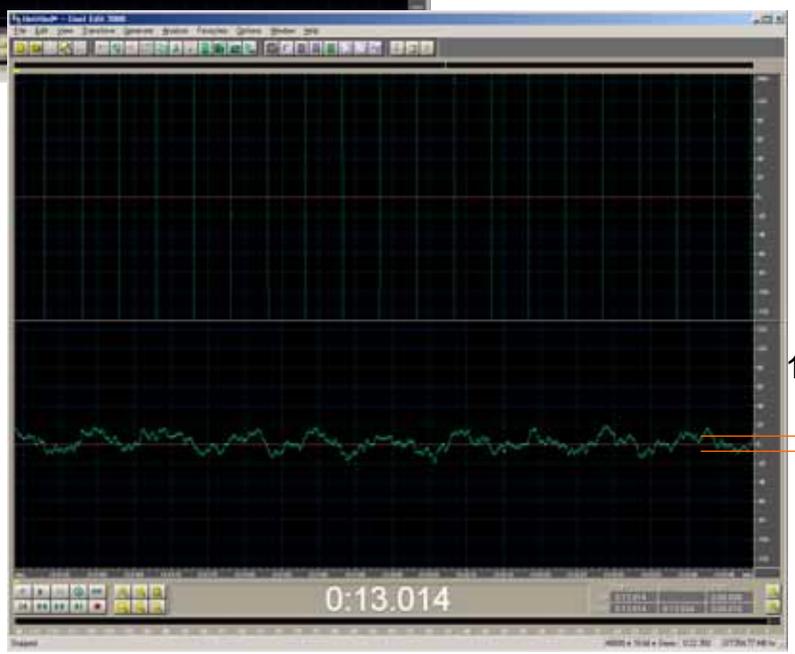
信号発生器:VP-8122A, アンテナ入力レベル:60dBuV EMF



総合テスト (ステレオ分離度)

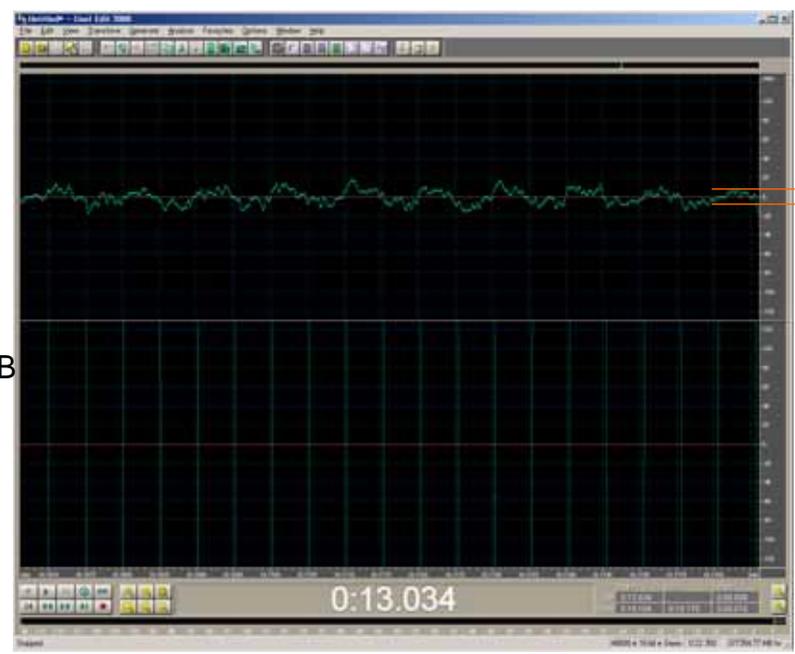


35000 LSB (周波数偏移: 75kHz)



10 LSB

L to R



10 LSB

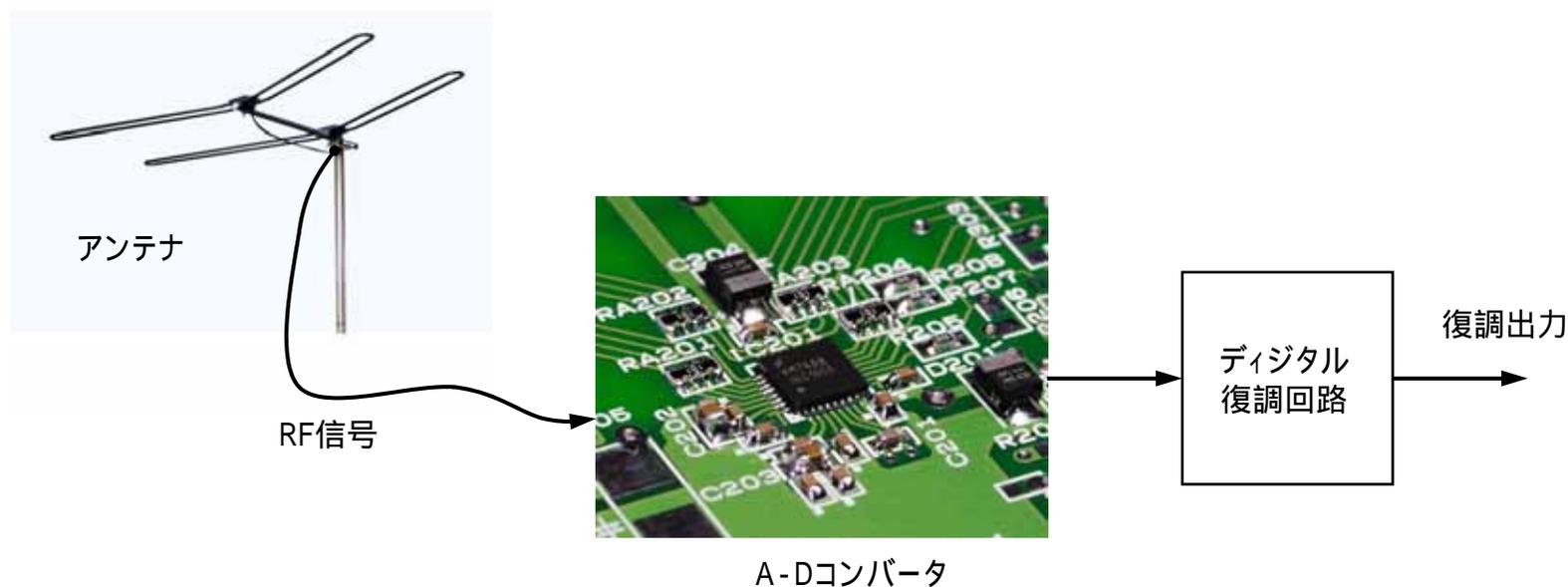
R to L

信号発生器: VP-8122A, アンテナ入力レベル: 60dBuV EMF

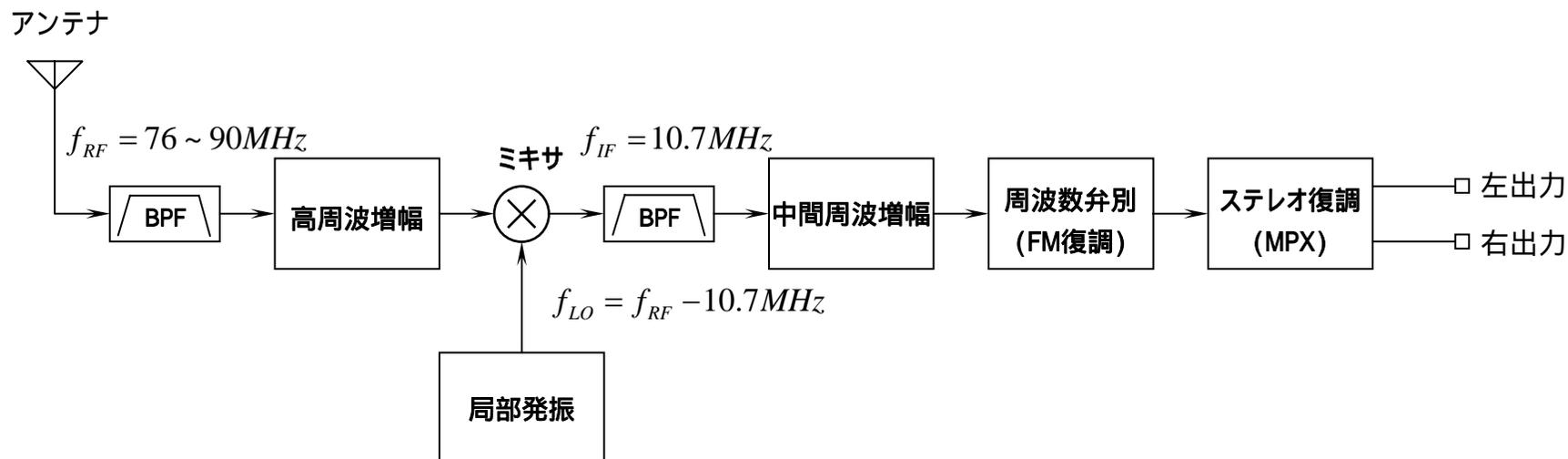


究極の受信機！？

- アンテナからのRF信号を直接A-D変換し、デジタル信号処理によって復調する。
 - 原理的には可能：現在入手可能なデバイスでどこまで実現できるのか？

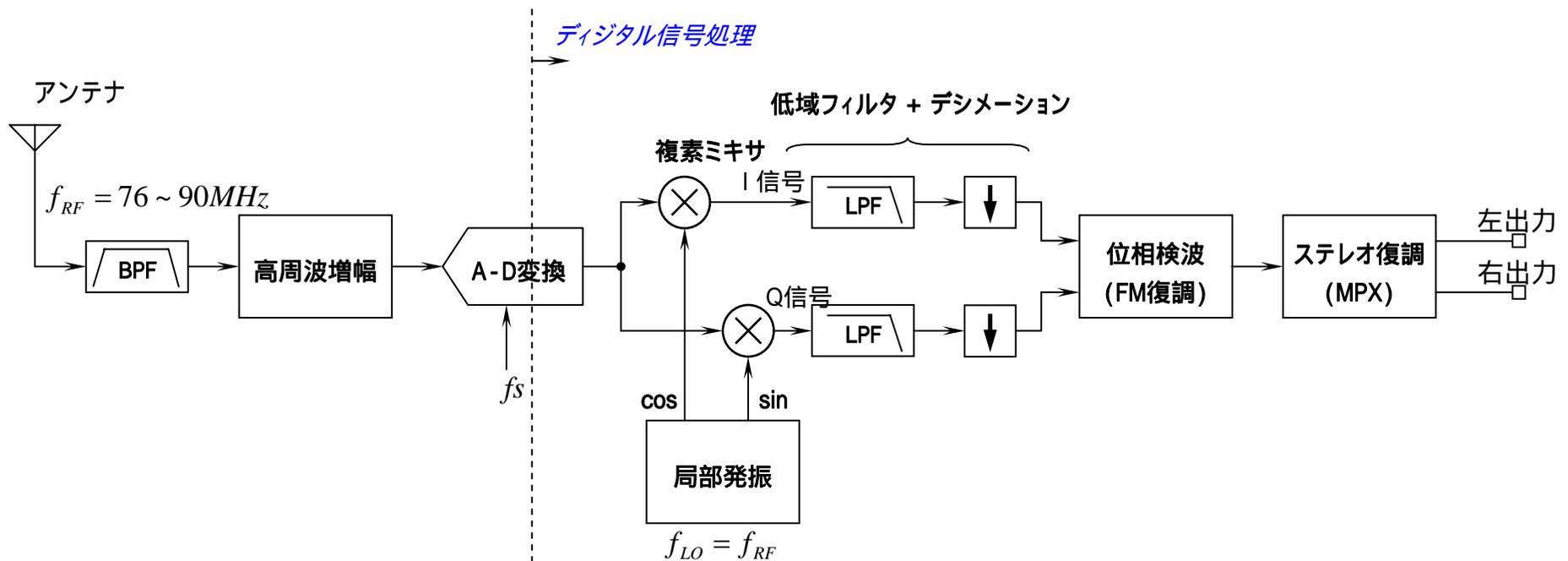


スーパー・ヘテロダイン方式の受信機の例



アナログ方式の受信機の基本的な構成。受信機として必要な増幅度と選択度の大部分は中間周波増幅段で得ている。

DDC (Digital Down Conversion) 方式 によるFMステレオ・チューナ



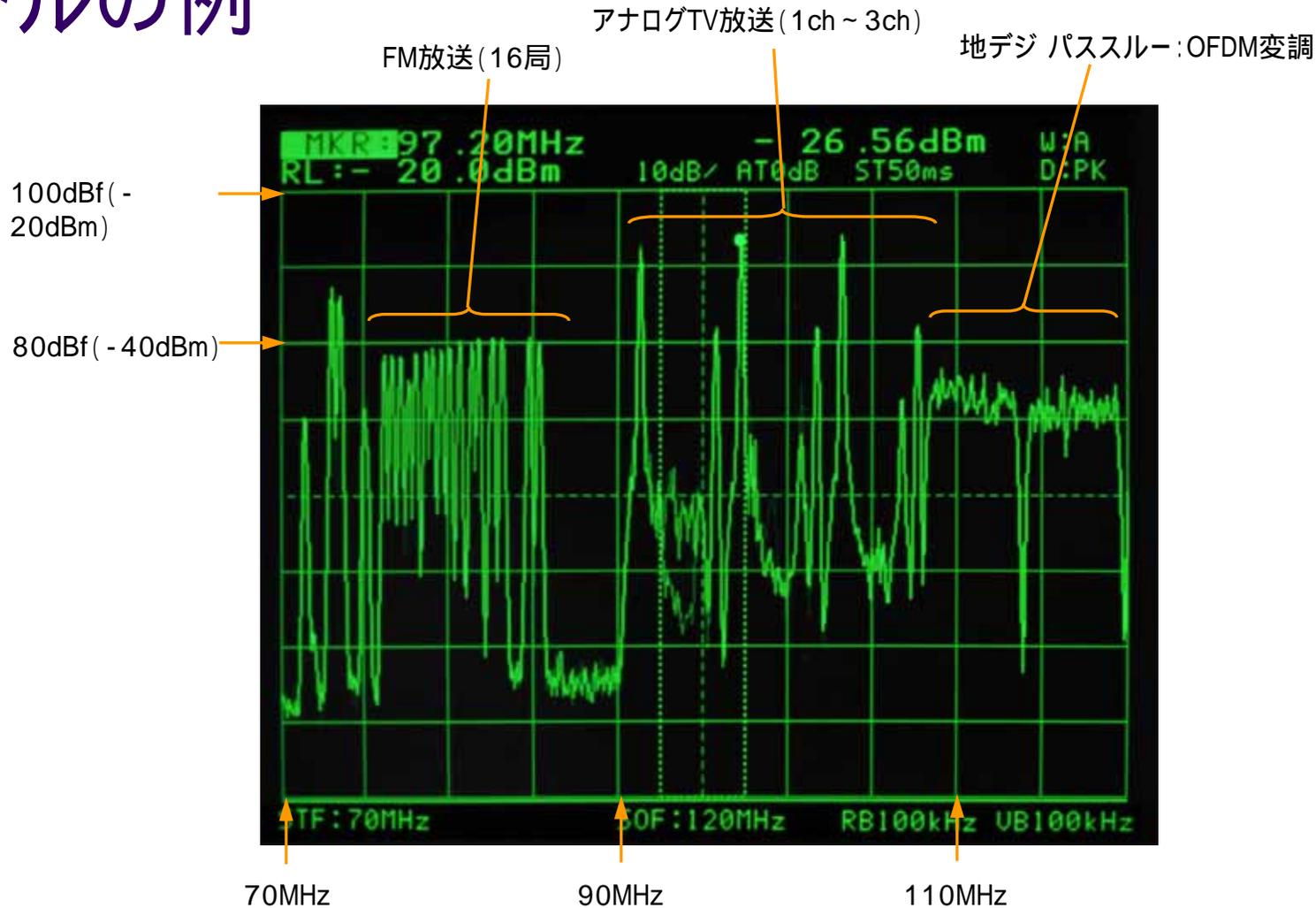
A-Dコンバータをアンテナに近い位置に配置し、受信機としての大部分の信号処理をデジタル・ドメインで行う、デジタル方式の受信機。ダイレクト・サンプリング方式。周波数構成は ZeroIF方式 (DC:ダイレクト・コンバージョン)

DC (Direct Conversion: ZeroIF) 方式 適用の制約



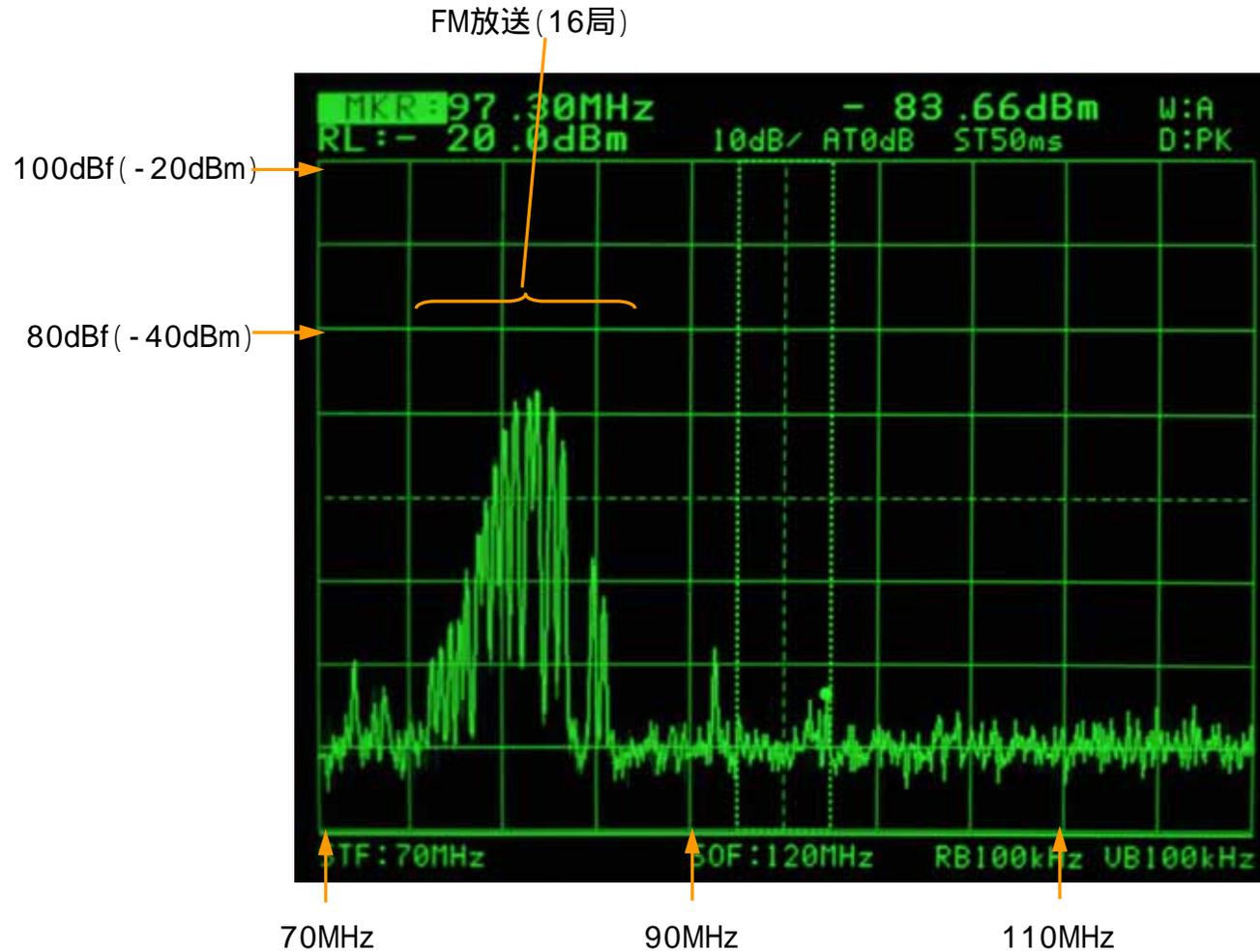
- アナログ方式では局部発振出力がアンテナ入力に回り込むため、ミキサの出力にDCオフセットを生じる。
 - 完全に0Hzではない、低い周波数(「低IF」)に周波数変換し、その後、デジタル処理によって複素周波数変換を行うことで問題を回避。(低IF方式 - $1/f$ ノイズ、2次ひずみに対しても有効)
 - 低IF方式を採用したワンチップ・ラジオICも最近は多い。
- デジタル信号において周波数変換(つまり DDC: Digital Down Conversion)を行うのであれば、局部発振出力混入によるDCオフセットの問題は生じない。
 - DDC方式であれば、受信周波数を直接、0Hzに変換する、ZeroIF方式も実用性がある。

CATVで配信される各種信号のスペクトルの例

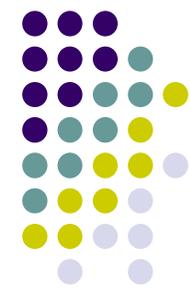


CATVの信号をスペアナ (MA2612A/Anritsu) に接続して観測したスペクトルの例。
FM放送局が16局と数多いのは、このCATVサービスにおいてはAM放送をFM放送帯に再送信しているため。

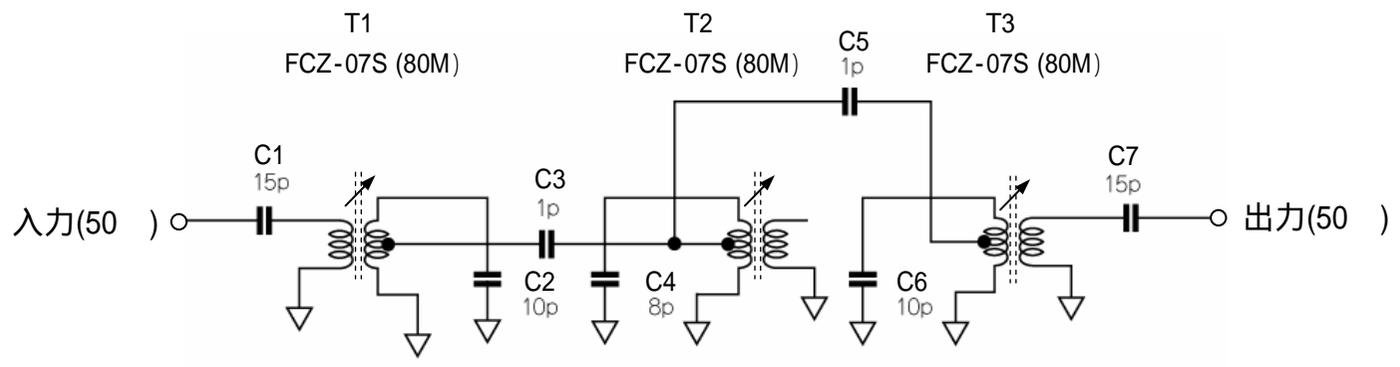
BPFによってFM放送帯を取り出したスペクトル



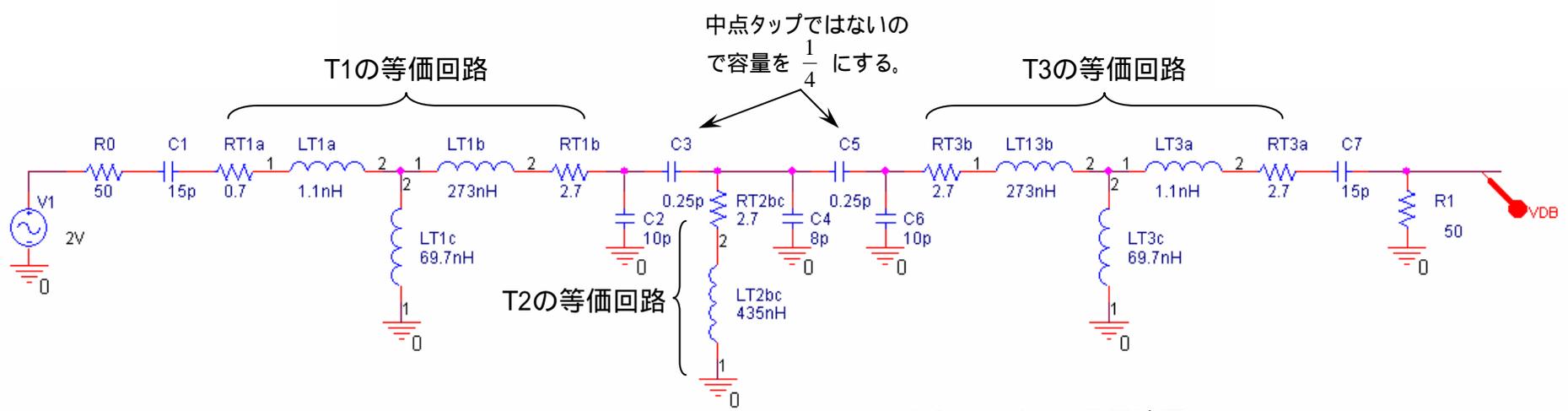
同調回路を3個使った、中心周波数 82.5MHzのBPFによってFM放送帯を取り出したスペクトルの様子。BPFの通過帯域でのロスが6.8dB。



BPFの回路シミュレーション

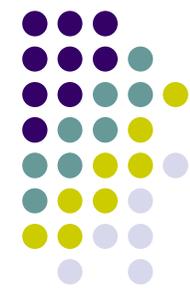


回路図

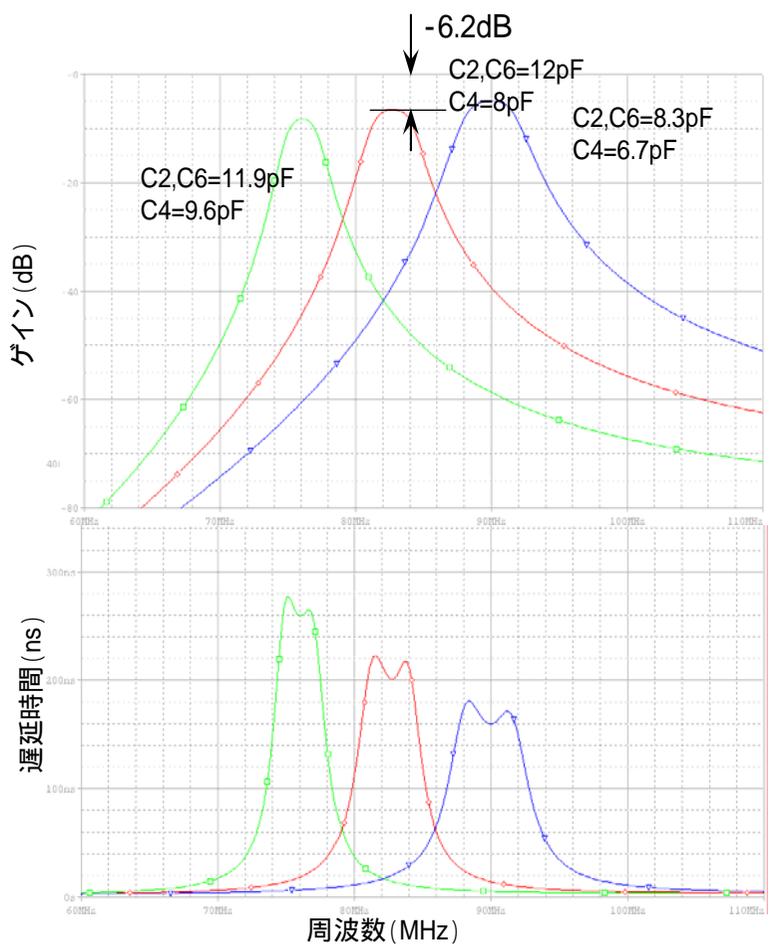


シミュレーション用回路図

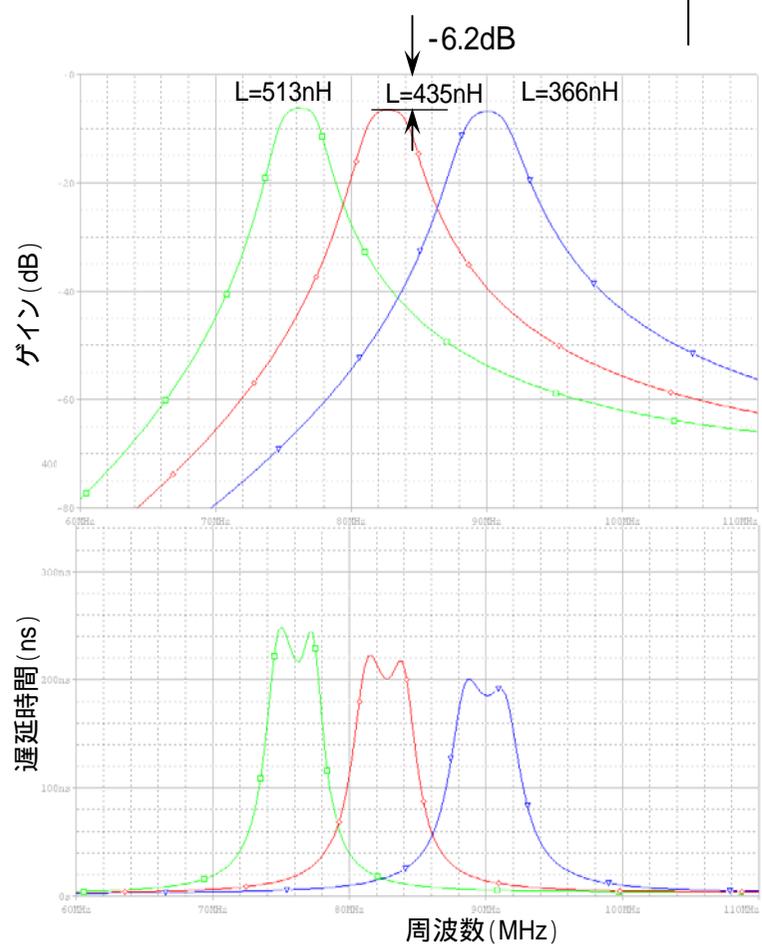
1次、2次のトランスを形成するコイルの等価回路は実測によって簡易的に作成したもの。結合容量(C3、C5)はかなり小さな値になるので、コイルの中点に接続することにし、実際の回路ではシミュレーション時の4倍の値を使用した。



BPFの回路シミュレーション結果



容量を可変して76 ~ 82.5 ~ 90MHzへ同調した場合

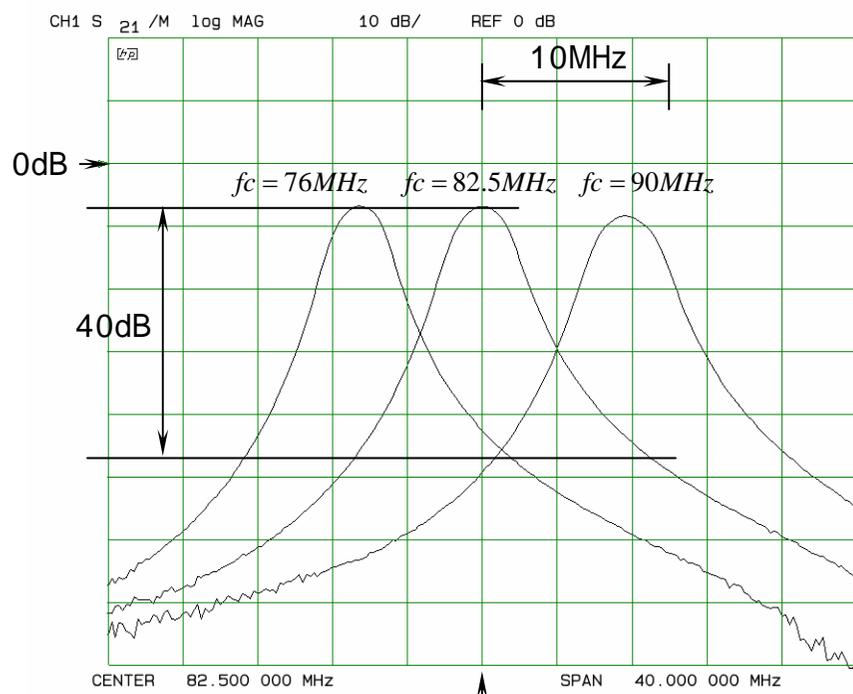


インダクタンスを可変して76 ~ 82.5 ~ 90MHzへ同調した場合

回路シミュレータは PSPICE (Cadence) の評価版を使用

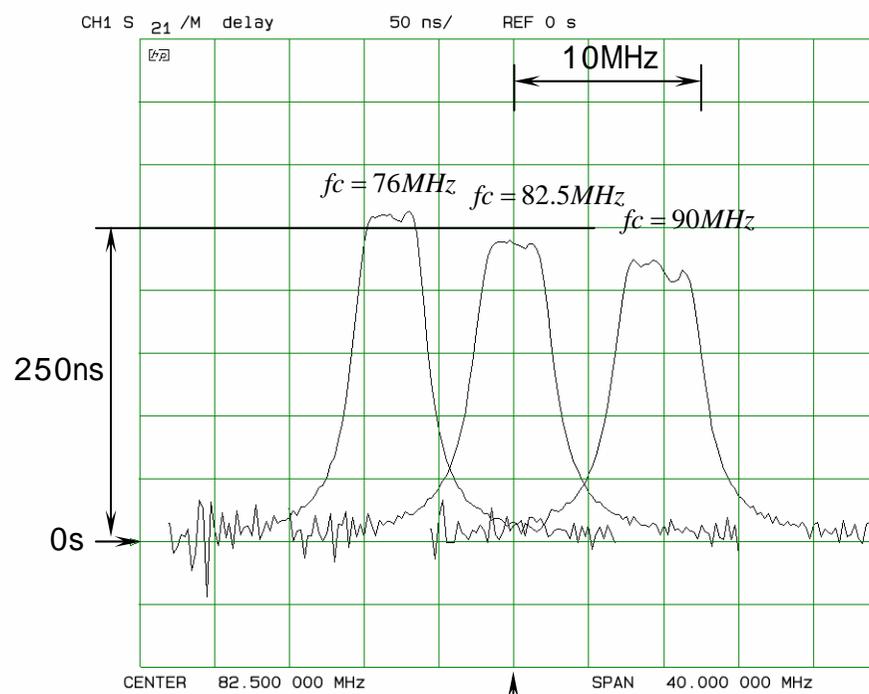


BPFの周波数特性の実測結果



82.5MHz

利得



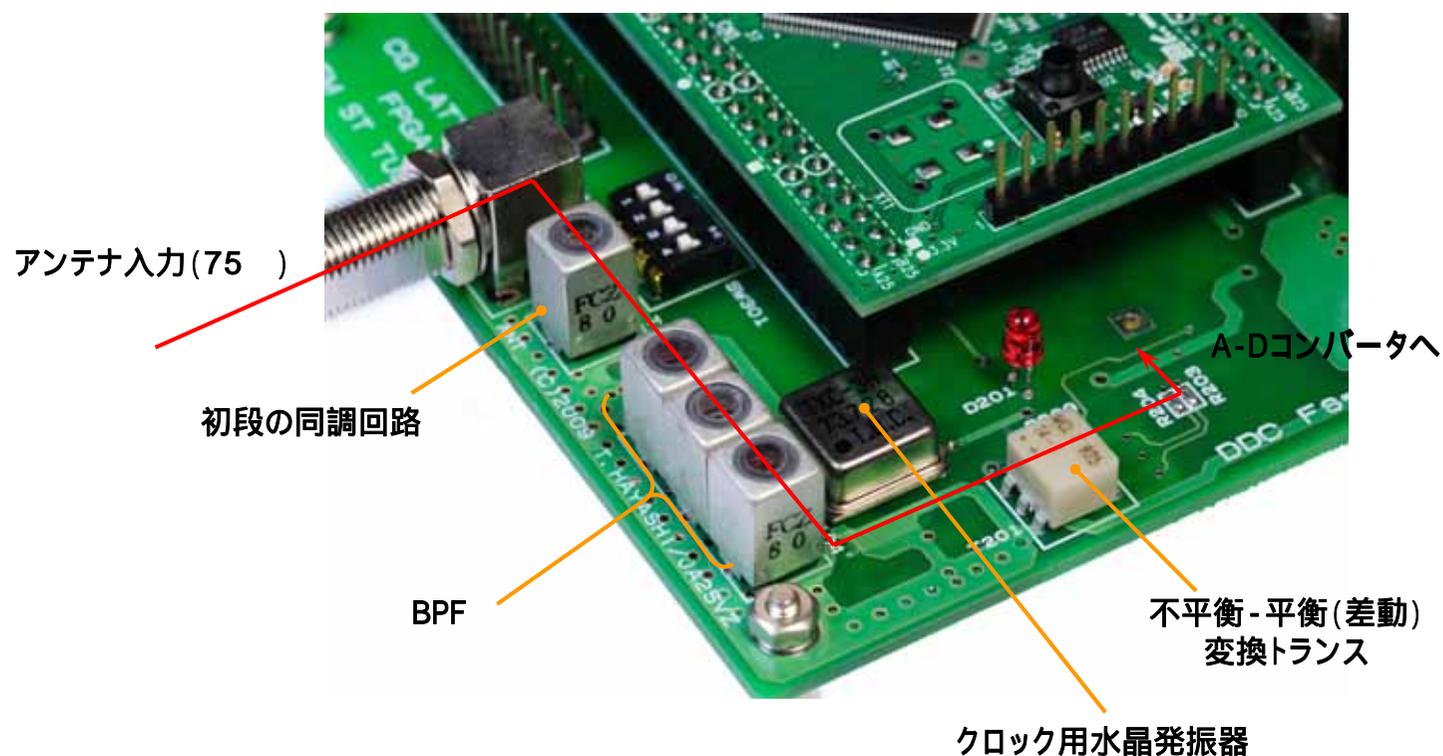
82.5MHz

遅延時間

周波数特性の測定はネットワークアナライザ(8753A+85046A/Agilent)による。可動コアによって中心周波数を76MHz、82.5MHz、90MHzに調整した3つの場合について測定した。

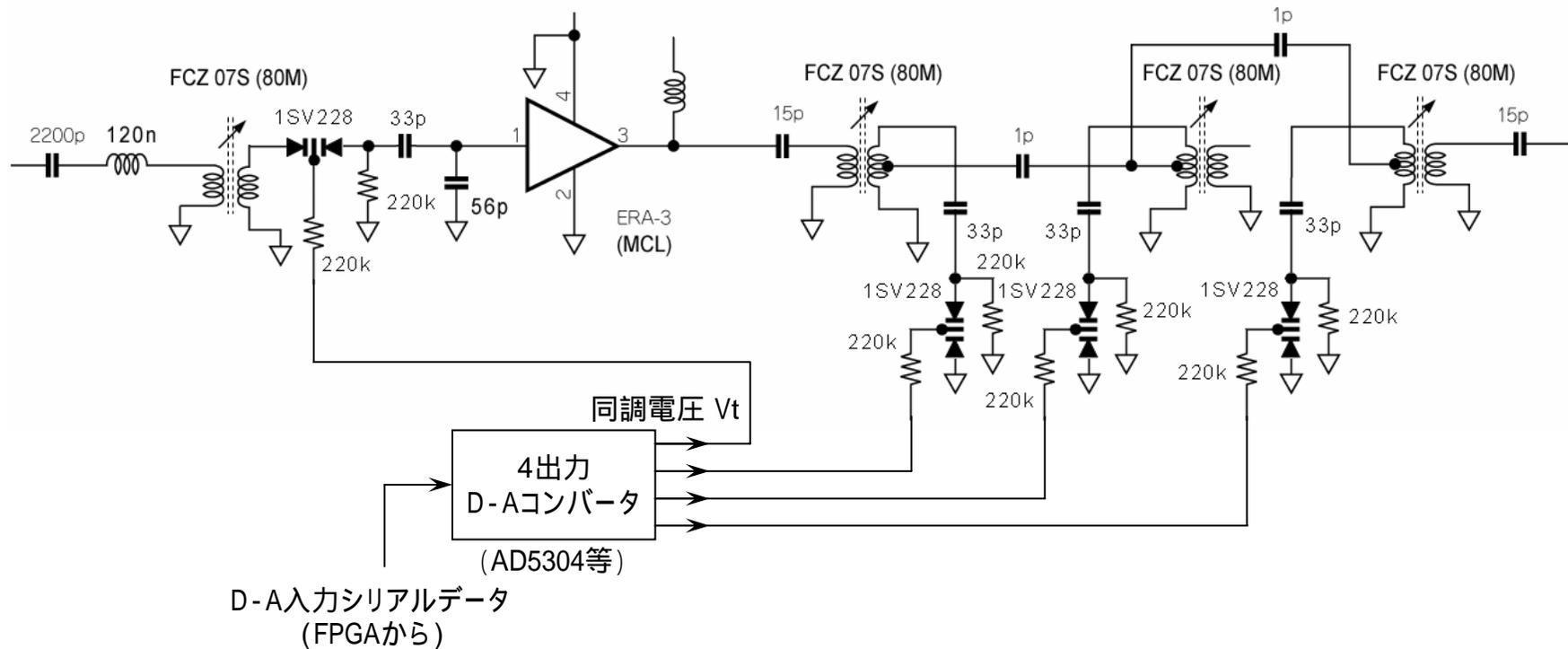


フロントエンドに用いるBPFの外観

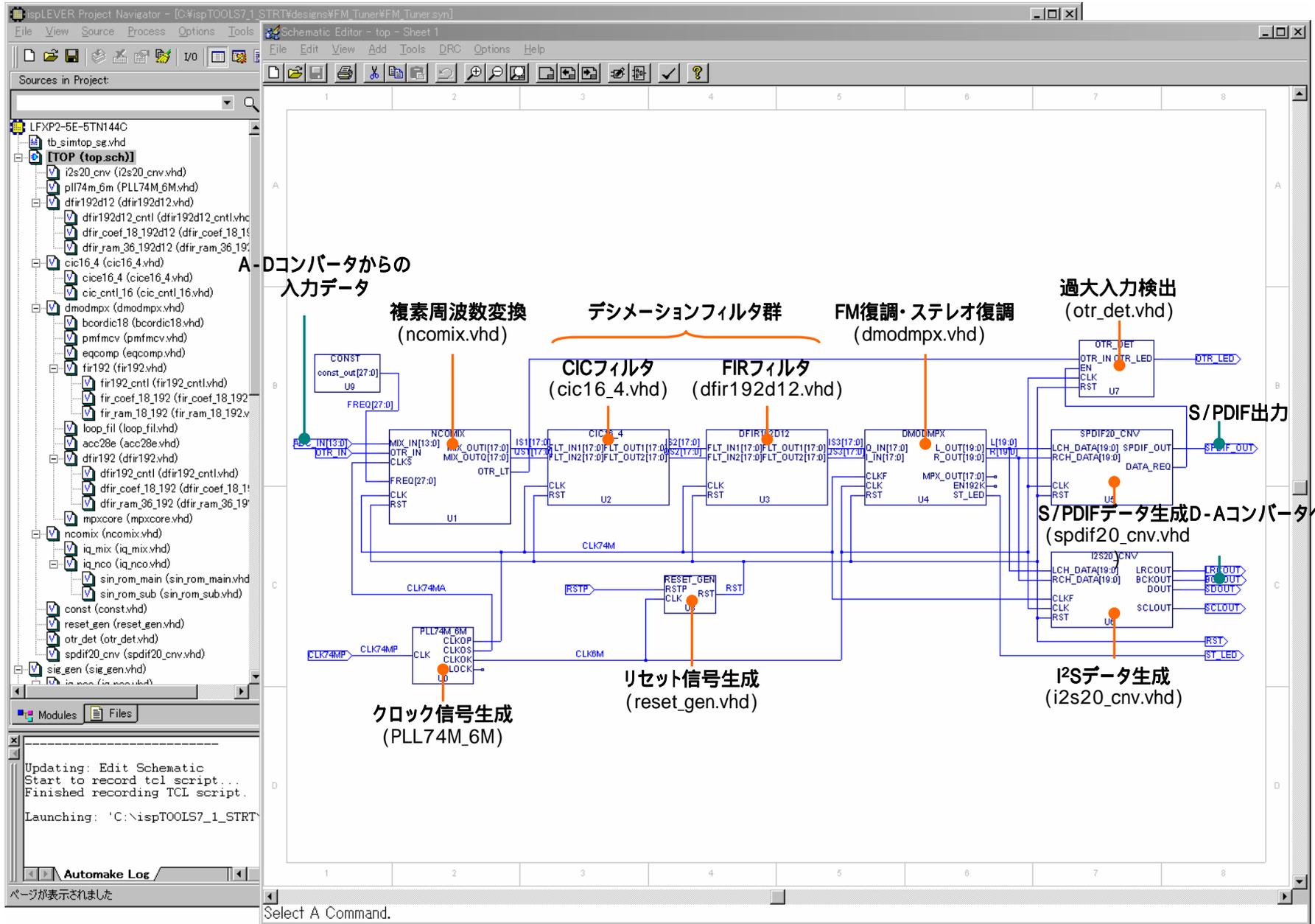


インダクタンス可変用の可動コアを備えた市販の高周波工作向け7mm角のコイル (FCZ-07S) を使用。(残念ながら、2011年5月をもってFCZコイルの製造は終了しています。7Kタイプのボビンで手巻きすることで代替できます。表紙のアドレスまで相談ください。)

同調周波数をバリキャップダイオードで可変とする例



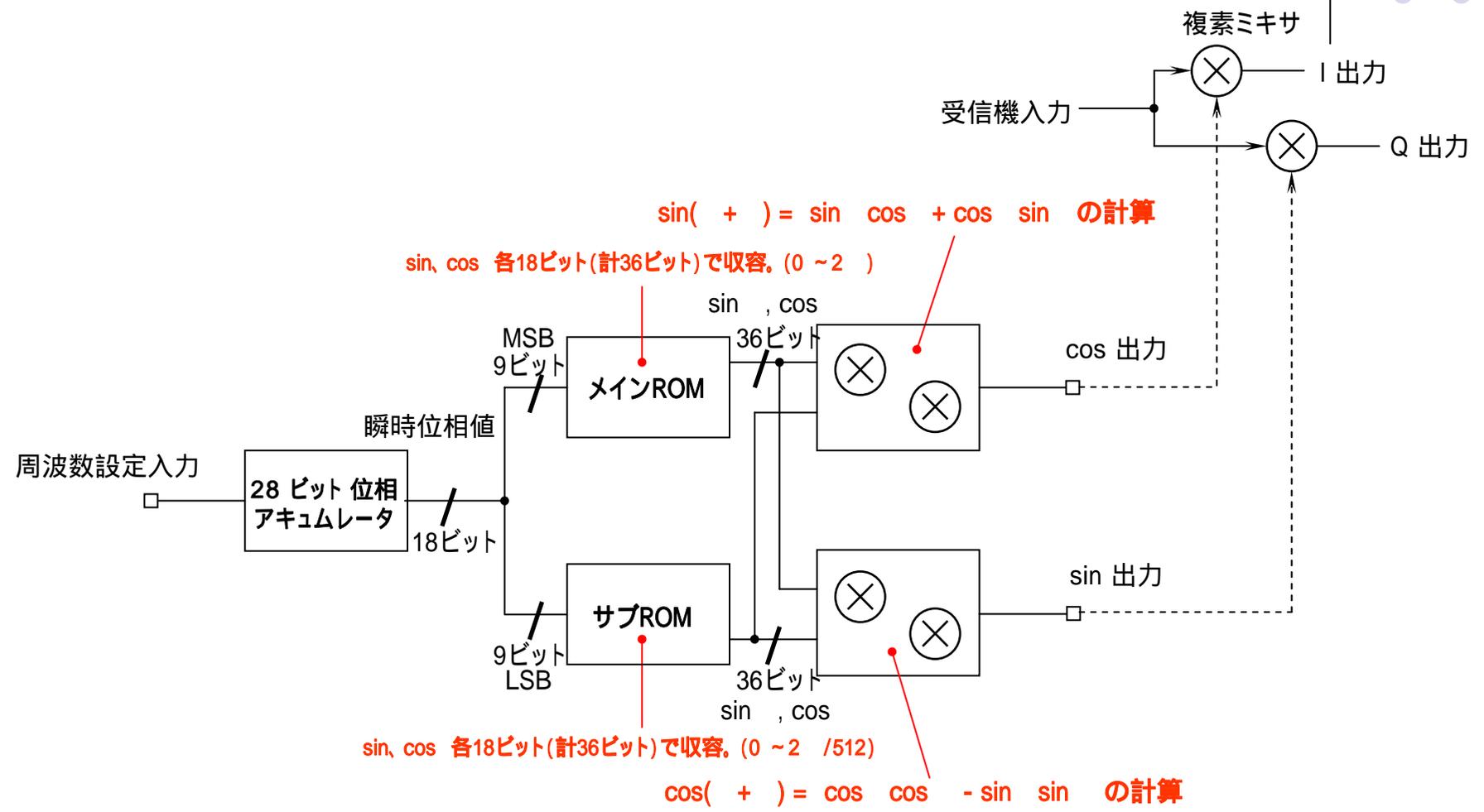
中心周波数の調整はバリキャップ・ダイオードによる可変容量によって行う。同調電圧 V_t はFPGA内のROMに用意したテーブルを参照して受信周波数をもとにD-Aコンバータを用い生成。追加基板を準備中。



ispLEVER Starter で記述したFPGAのトップレベル回路図 (HDLで記述してもよい)



三角関数の加法定理を用いるNCO



4個の乗算器を使用している。複素ミキサで使用する2個を合わせると6個となり、フロントエンド部分でFPGA上の乗算器リソースの50%を使ってしまう。

正弦波ROMテーブルの内容



メインROM
sin_rom_main

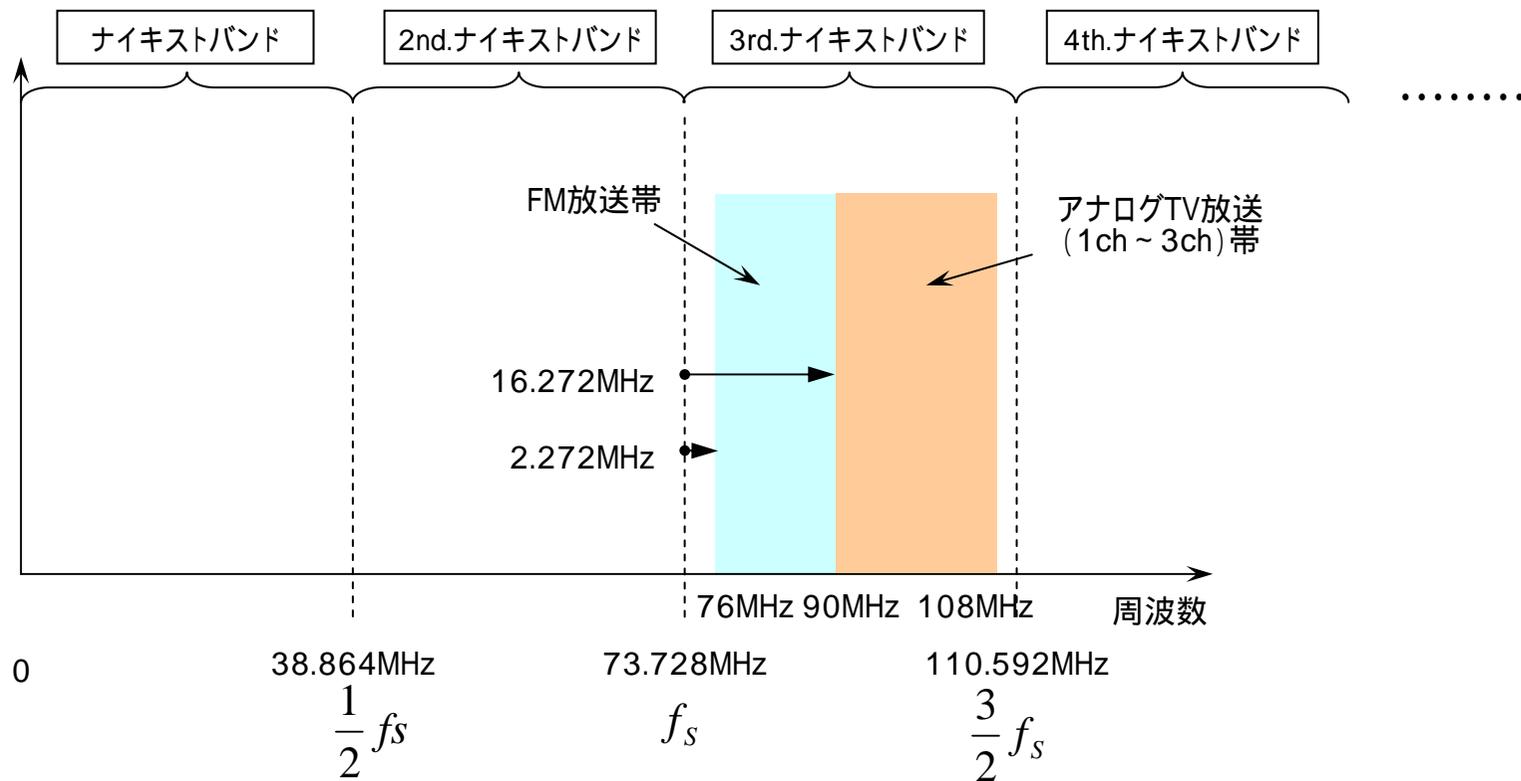
```
MEMORY_INITIALIZATION_RADIX=2;
MEMORY_INITIALIZATION_VECTOR=
0000000000000000000011111100000000000,
00000001100010111101111011111110110,
00000011000101111001111011111011001,
00000100101000110101111011110101001,
00000110001011101101111011101100101,
00000111101110100001111011100001101,
00001001010001010001111011010100010,
00001010110011111001111011000100100,
00001100010110011101111010110010011,
:
:
011111011101100101000001100010111011,
011111011110101001000001001010001101,
01111101111011001000000110001011110,
0111110111110110000000011000101111,
01111110000000000000000000000000000,
01111101111110110111111100111010001,
01111101111011001111111001110100010,
011111011110101001111110110101110011,
:
:
11110110101110110001111011010100010,
1111000010001100001111011100001101,
1111001110100010101111011101100101,
1111011010111001101111011110101001,
111110011101000100111101111011001,
11111100111010001011110111110110110;
```

サブROM
sin_rom_sub

```
MEMORY_INITIALIZATION_RADIX=2;
MEMORY_INITIALIZATION_VECTOR=
0000000000000000000011111100000000000,
00000000000000001101111110000000000,
00000000000000011001111110000000000,
00000000000001001011111100000000000,
00000000000001100011111110000000000,
00000000000001111011111110000000000,
00000000000010011011111110000000000,
00000000000010110011111110000000000,
00000000000011001011111110000000000,
00000000000011100111111100000000000,
00000000000011110111111100000000000,
00000000000010010011111110000000000,
00000000000010010111111110000000000,
00000000000010100001111110000000000,
00000000000010101101111110000000000,
00000000000010110011111110000000000,
:
:
00000001100001001101111101111110111,
00000001100001011101111101111110111,
00000001100001101001111101111110111,
00000001100001110101111101111110111,
00000001100001000001111101111110110,
000000011000010001101111101111110110,
000000011000010011001111101111110110,
0000000110000100101111101111110110,
000000011000010100101111101111110110,
00000001100001010001111101111110110;
```

サブテーブル(0 ~ 2 / 512)は扱う角度が狭く、記録するデータの幅が限られ、ビット幅を節約できる。 21

FMステレオ・チューナで採用した周波数関係



アンダ・サンプリングの手法を用いる場合、いくつものナイキストバンドに存在する複数の信号も同じ周波数に変換される。今回、サンプリング周波数としては 73.728MHz (= 16 × 12 × 8 × 48kHz) を選定。



受信周波数を変更するには

- top.vhd の最終セクションを変更のこと。
 - トップレベルの記述はVHDL。

$$f_{nco}(f_{rec}) = f_s \cdot \frac{x}{2^{28}}$$

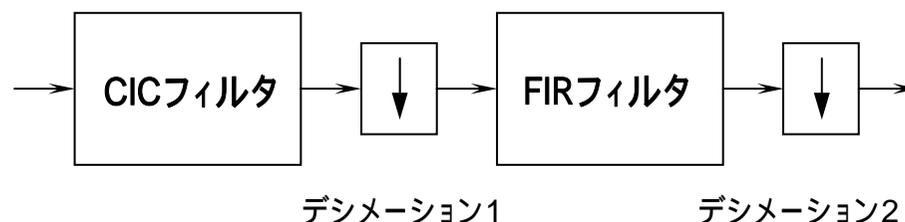
$$x = 2^{28} \frac{f_{nco}(f_{rec})}{f_s}$$

$$f_s = 73.728\text{MHz}$$



デシメーション・フィルタ

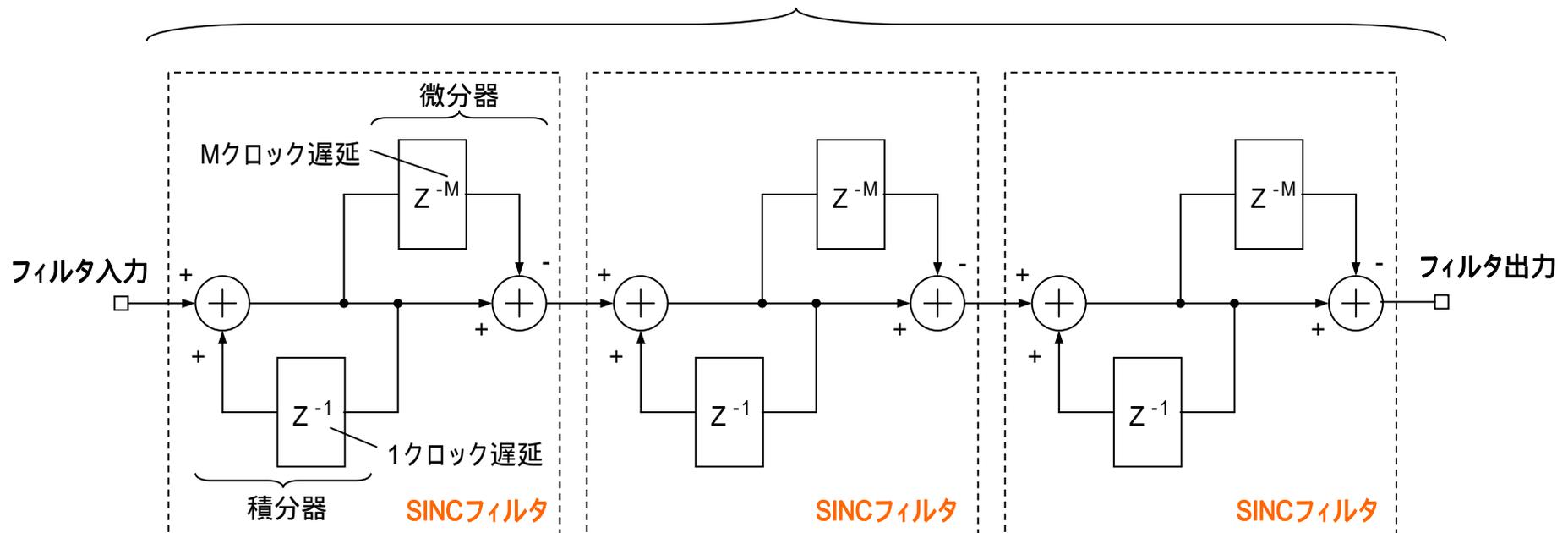
- サンプルング周波数を落とす(デシメーションする)際にエイリアスとなる高い周波数成分を取り除く。
- 受信機としての選択度を決定する、受信帯域フィルタを兼ねる。
- CICフィルタとFIRフィルタの組み合わせ。



CIC (Cascaded Integration - Comb) フィルタの構成 (1)

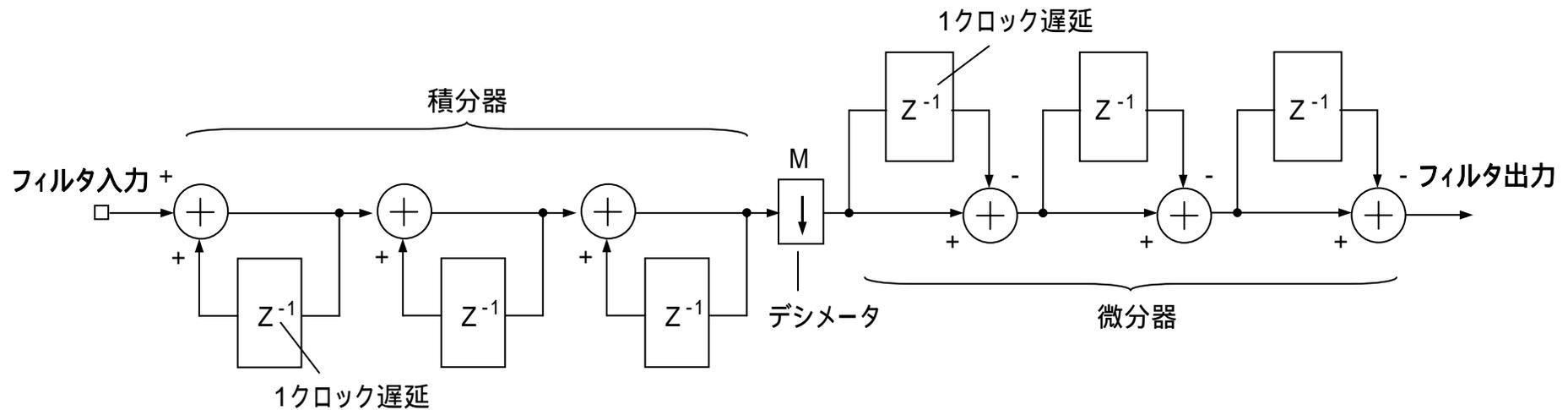


N(3)段カスケード接続



SINCフィルタのカスケード接続による構成 (教科書的)

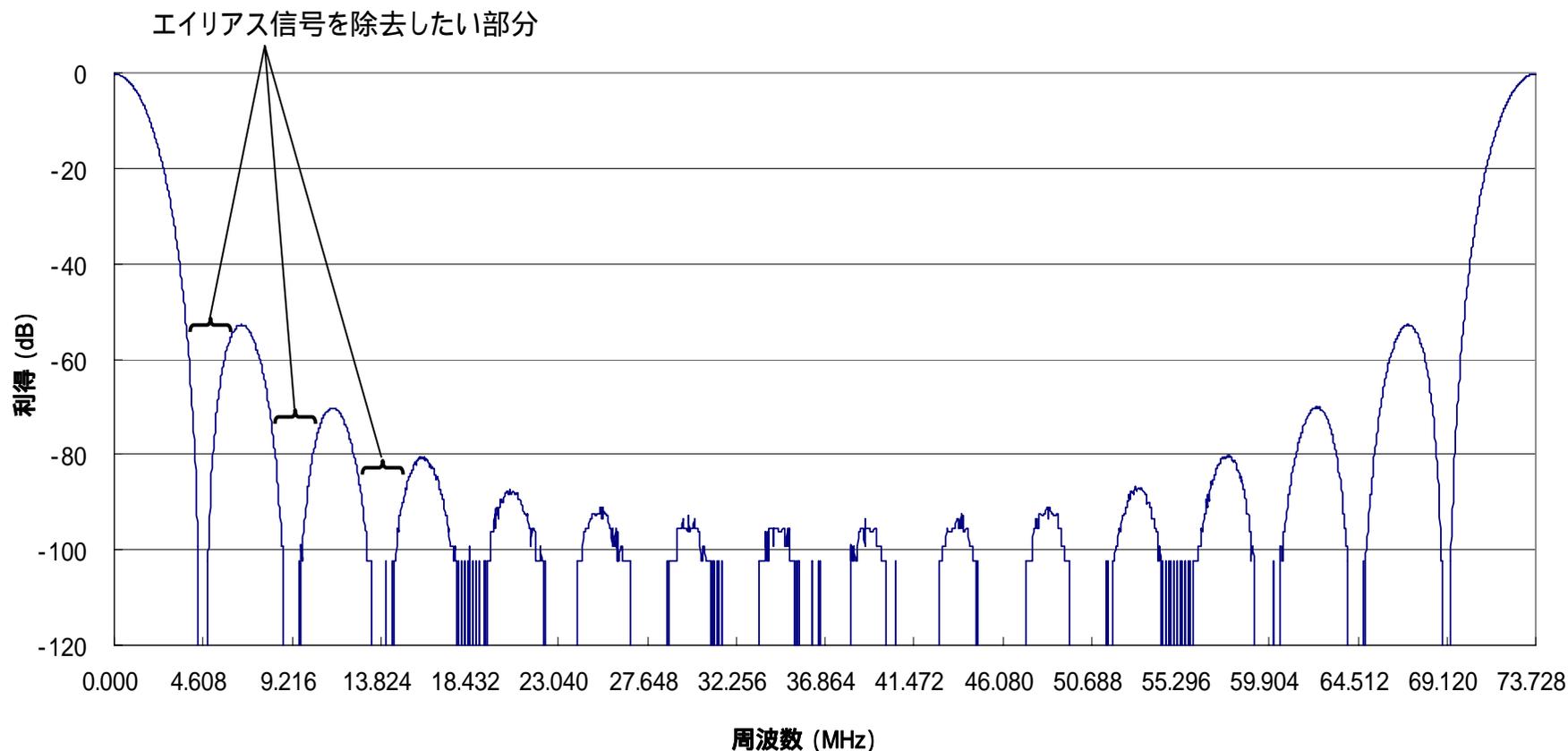
CIC (Cascaded Integration - Comb) フィルタの構成 (2)



積分器、微分器をまとめ、中間にデシメータを置く構成 (積分器のビット幅に注意が必要)



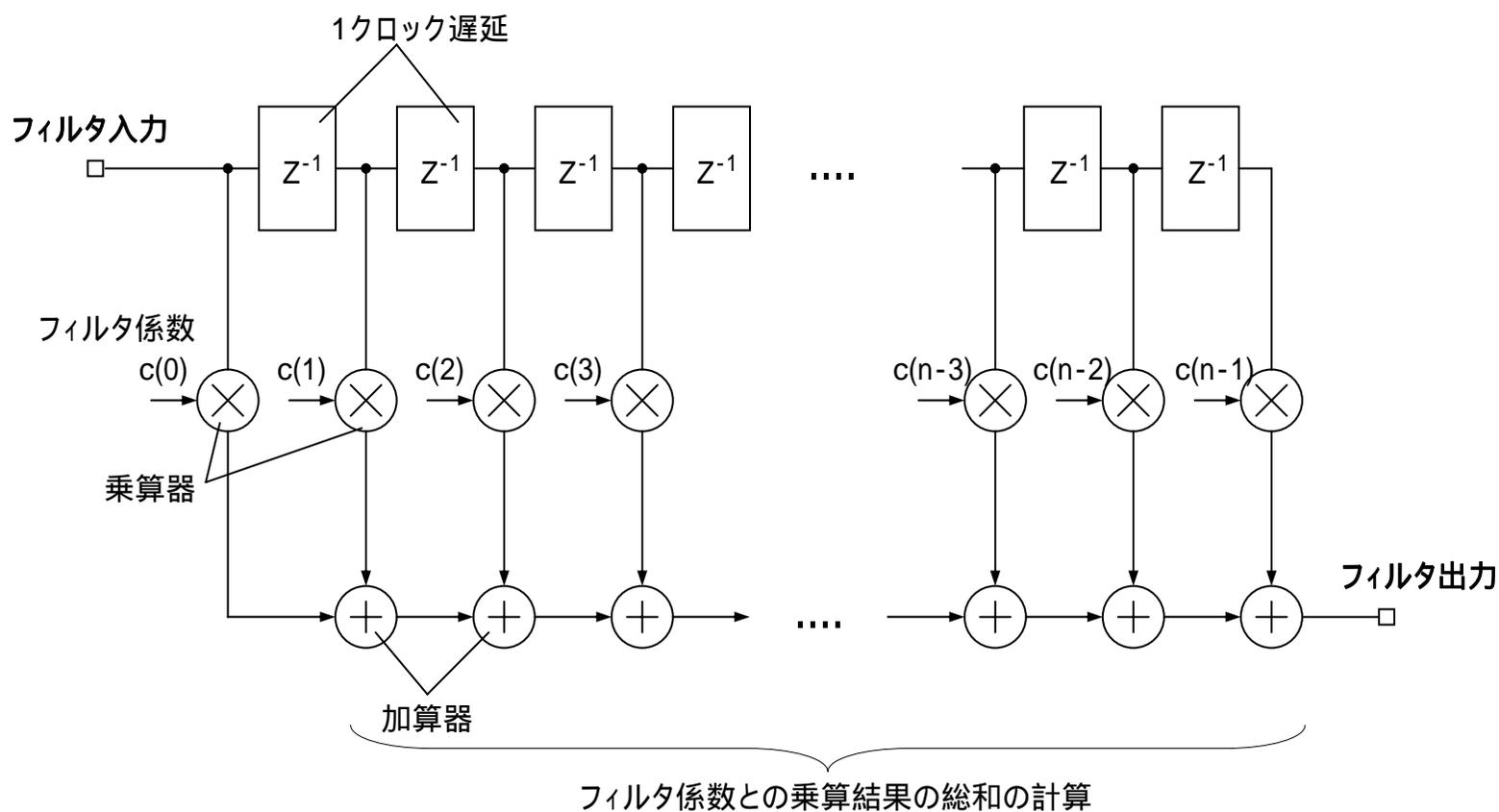
CICフィルタの特性例



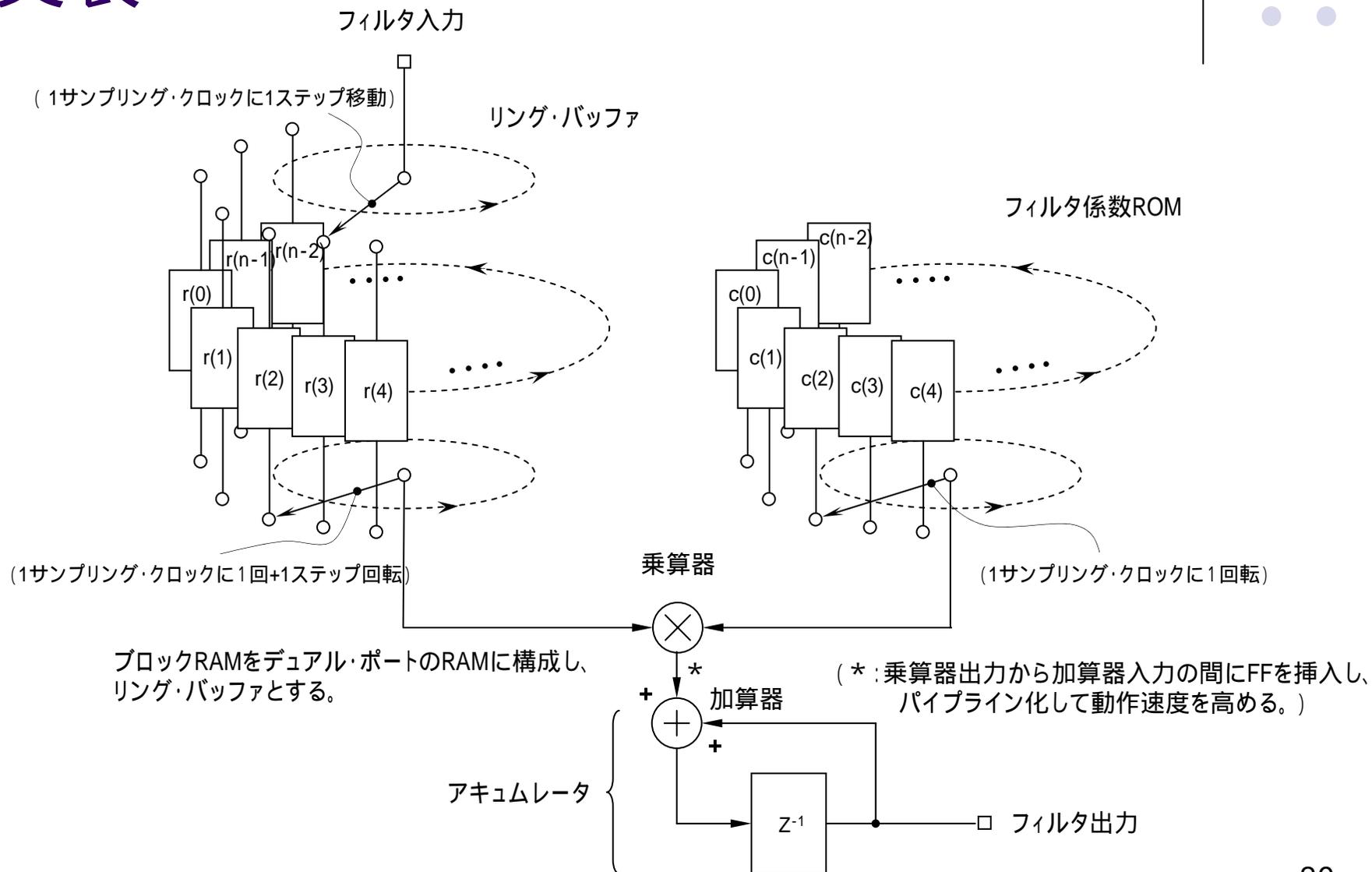
微分器の遅延段数を16としてあるので、 $F_s / 16 = 4.608\text{MHz}$ ごとに減衰特性にノッチを生じる。カスケード段数は4とした。



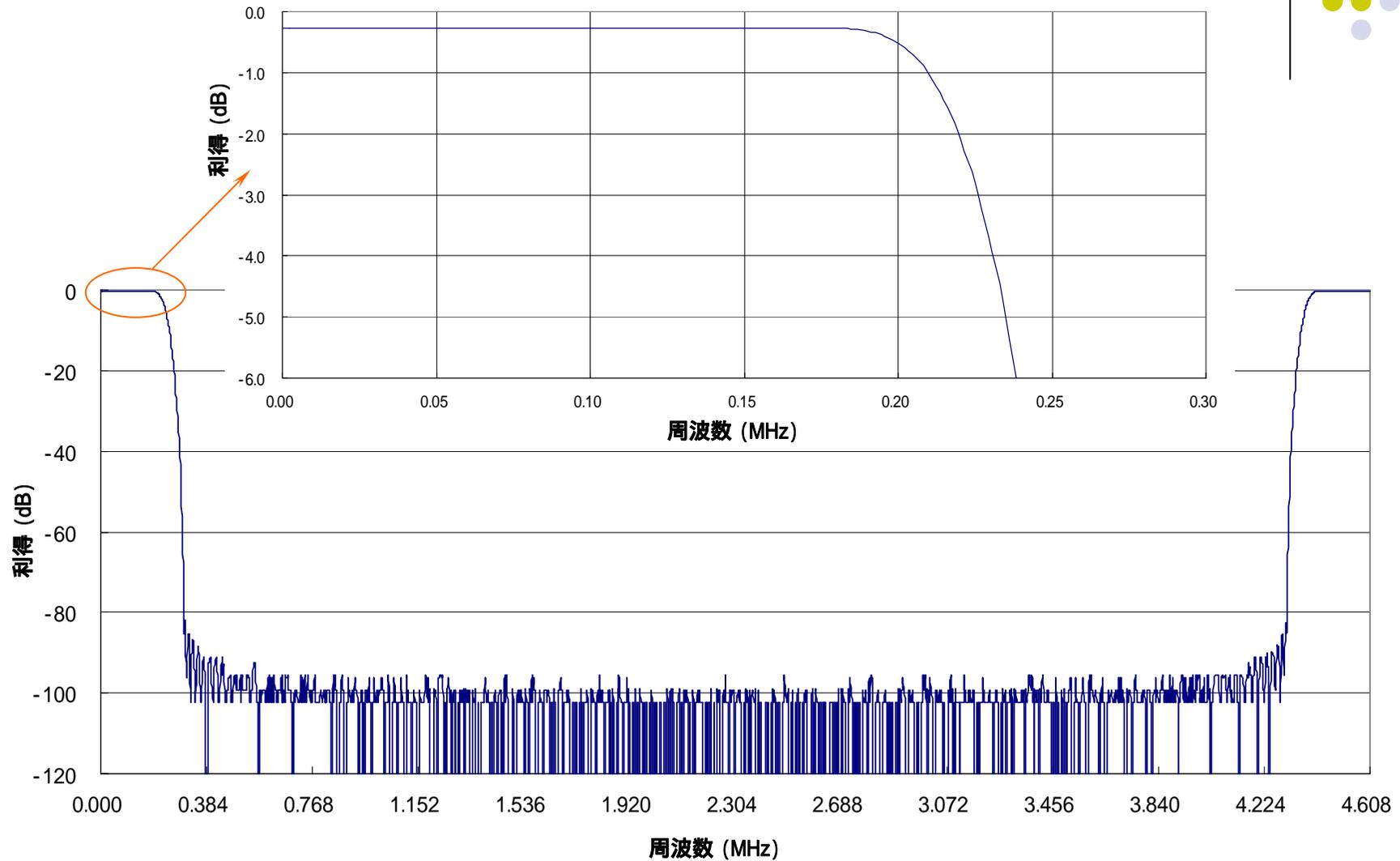
FIRフィルタの構成



リング・バッファを用いたFIRフィルタの実装

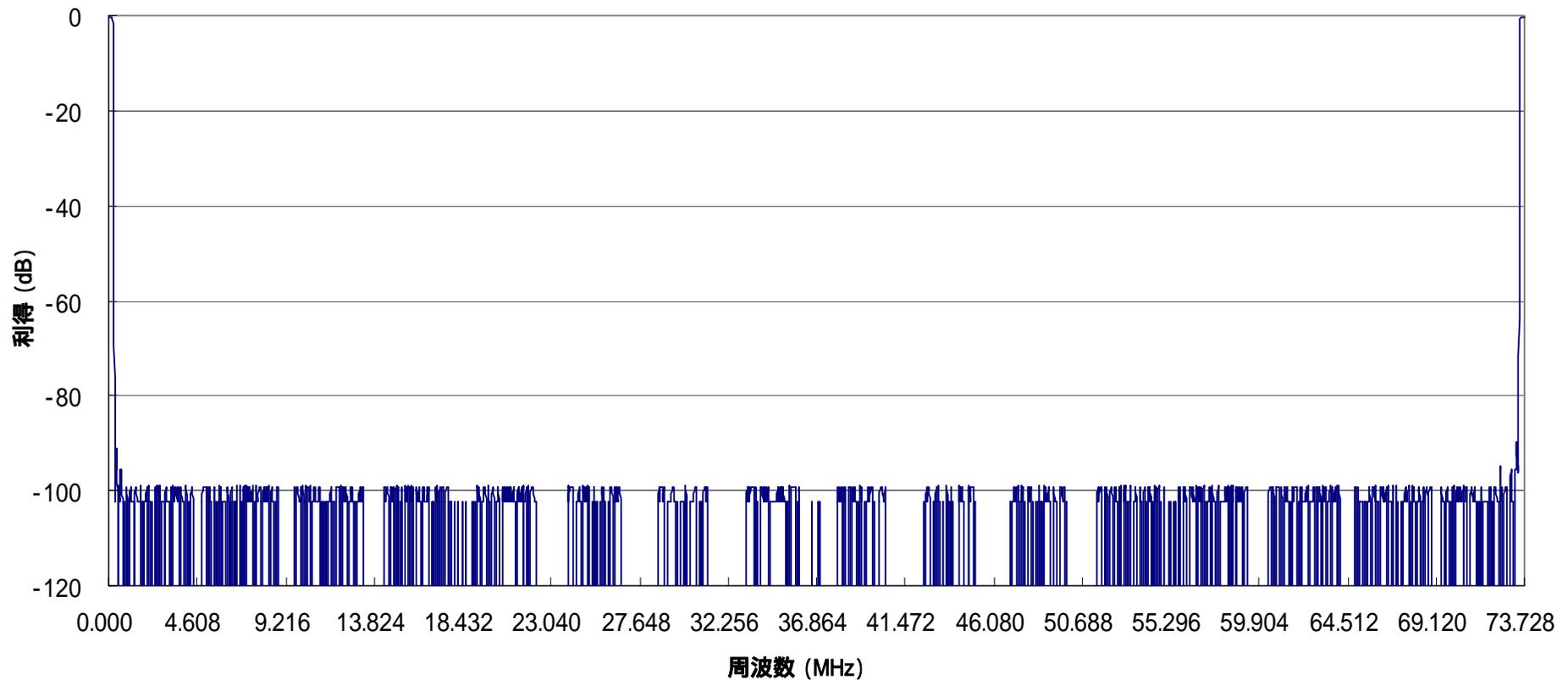


FIRフィルタの特性例



デシメーションの後段に使用する、通過帯域特性が平坦なFIRフィルタ。このフィルタの減衰特性が受信機としての選択度を実質的に決定する。96タップの例。

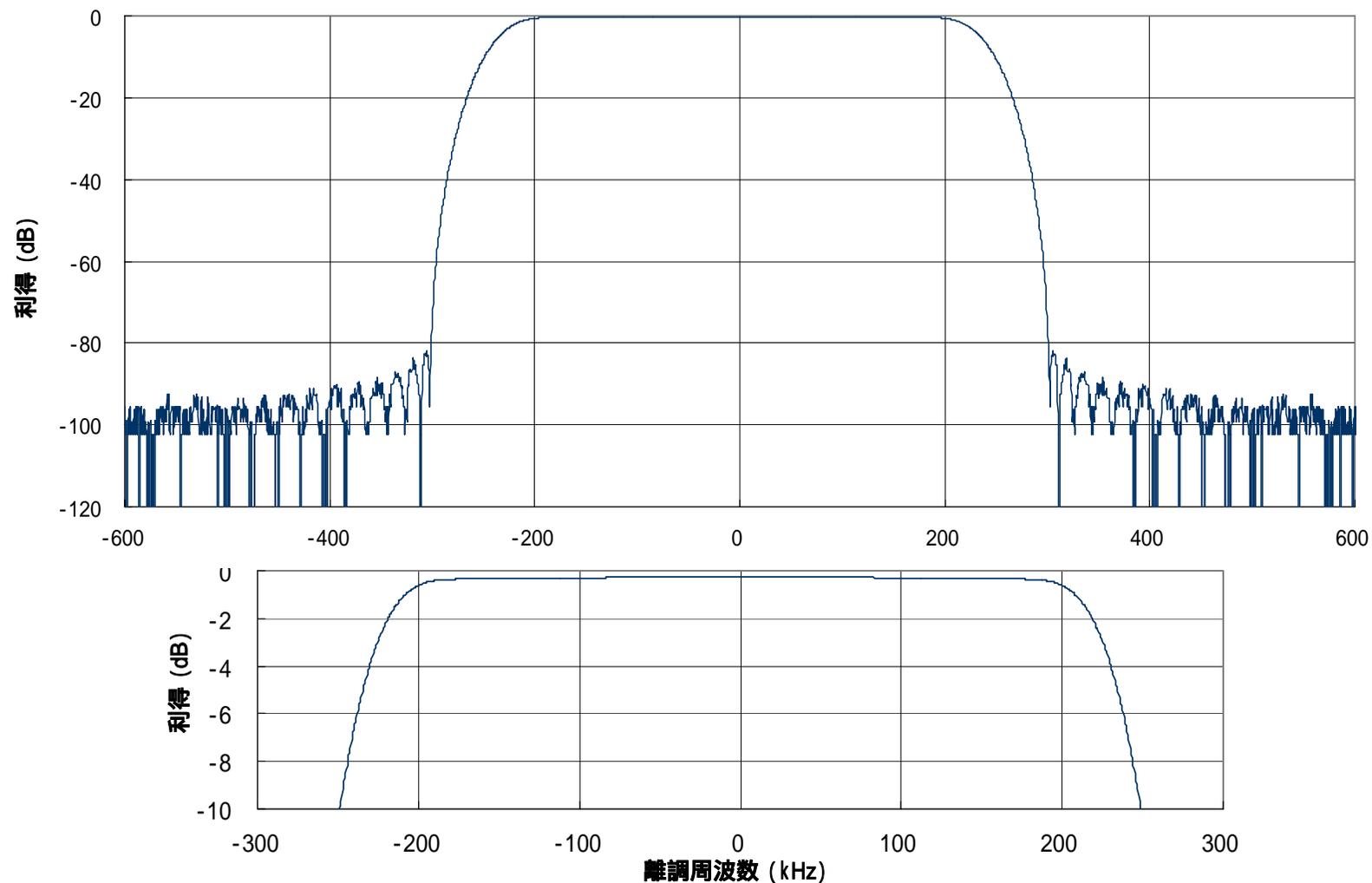
CICフィルタとFIRフィルタを接続した場合の総合特性



ナイキスト周波数全域に渡ってLPF特性が実現されている。



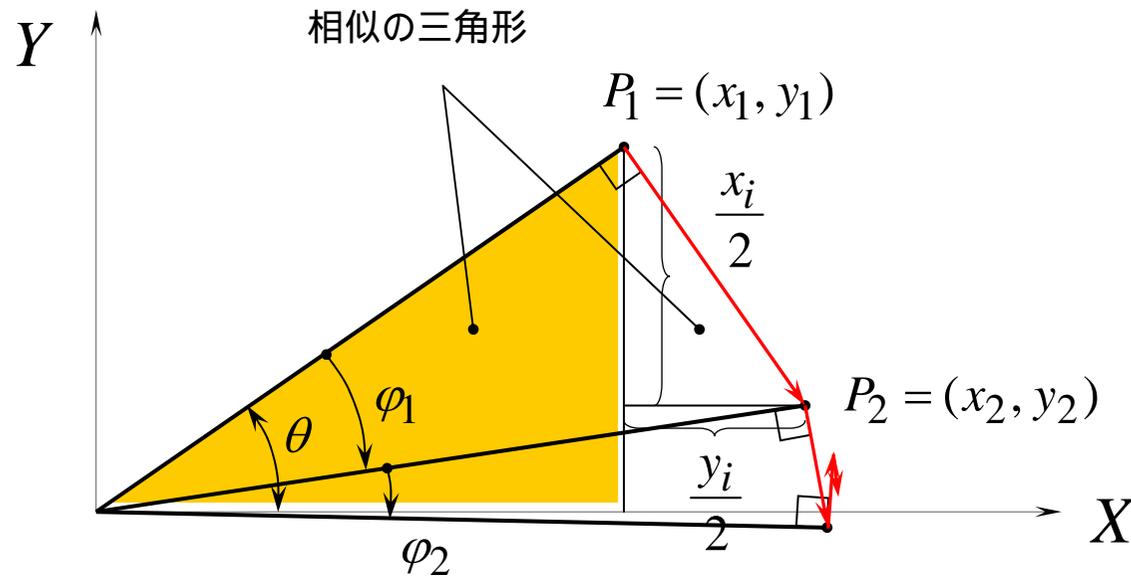
受信機の選択度特性の例



デシメーションフィルタのLPF特性を受信周波数を中心とするBPF特性で表示したもの。

CORDICによる TAN^{-1} の計算

COordinate Rotation Digtal Computer



(x_1, y_1) から θ を求める。 $P_1 = (x_1, y_1) \rightarrow P_2 = (x_2, y_2) \rightarrow$ と順にベクトルを回転(大きさも変化する)させながら、X軸に収束させ θ を φ_1, φ_2 ... の総和として求める。

CORDICによる18ビット \tan^{-1} 計算回路 (内部演算20ビット)



```
procedure cordic18cell(
  in_i, in_q : in signed (19 downto 0);
  in_p : in signed (19 downto 0);
  i, k : in integer;
  :
  :
  else
    i_inc := SHR(in_q, CONV_UNSIGNED(i-1, 6));
    q_inc := SHR(in_i, CONV_UNSIGNED(i-1, 6));
    -- i,q: different polarity
    if in_i(19) = '1' xor in_q(19) = '1' then
      out_i := in_i + i_inc ;
      out_q := in_q - q_inc ;
      out_p := in_p + k;
    -- i,q: same polarity
    else
      out_i := in_i - i_inc ;
      out_q := in_q + q_inc ;
      out_p := in_p - k;
    end if;
  end if;
end cordic18cell;
```

CORDICの計算:加減とシフトのみ

```
function cordic_rom18(
  addr_in : integer) return integer is
begin
  case addr_in is
    when 0 => return 262144;
    when 1 => return 131072;
    when 2 => return 77376;
    when 3 => return 40884;
    when 4 => return 20753;
    when 5 => return 10417;
    :
    :
    when 13 => return 41;
    when 14 => return 20;
    when 15 => return 10;
    when 16 => return 5;
    when 17 => return 3;
    when 18 => return 1;
    when 19 => return 1;
    when others => return 0;
  end case;
end cordic_rom18;
```

$\phi_1, \phi_2 \dots$ を引き出すためのROM



FM復調におけるSN比(受信感度)

- 復調器出力における、雑音電力密度: n'

$$n' = \frac{2 \cdot n_o}{C} \cdot \left(\frac{f}{\Delta F} \right)^2$$

キャリアレベル: C

最大周波数偏移: ΔF

雑音電力密度: n_o

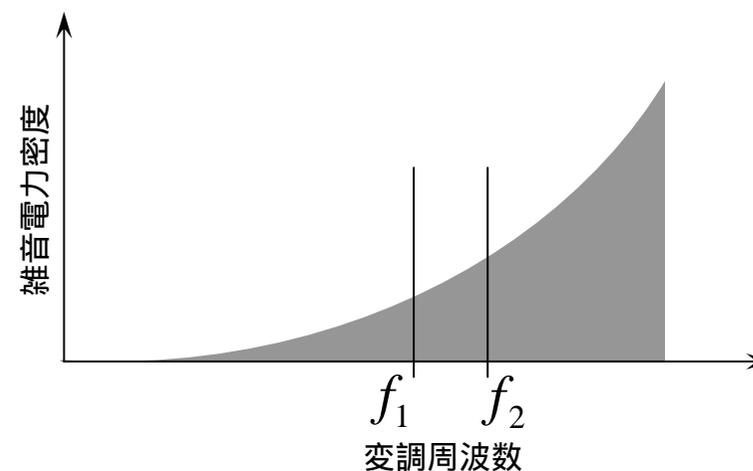
雑音電力密度: n'

- 周波数 $f_1 \sim f_2$ 間の雑音電力: P_o

$$P_o = \frac{2 \cdot n_o}{3 \cdot C} \cdot \left(\frac{f_2^3 - f_1^3}{\Delta F^2} \right)$$

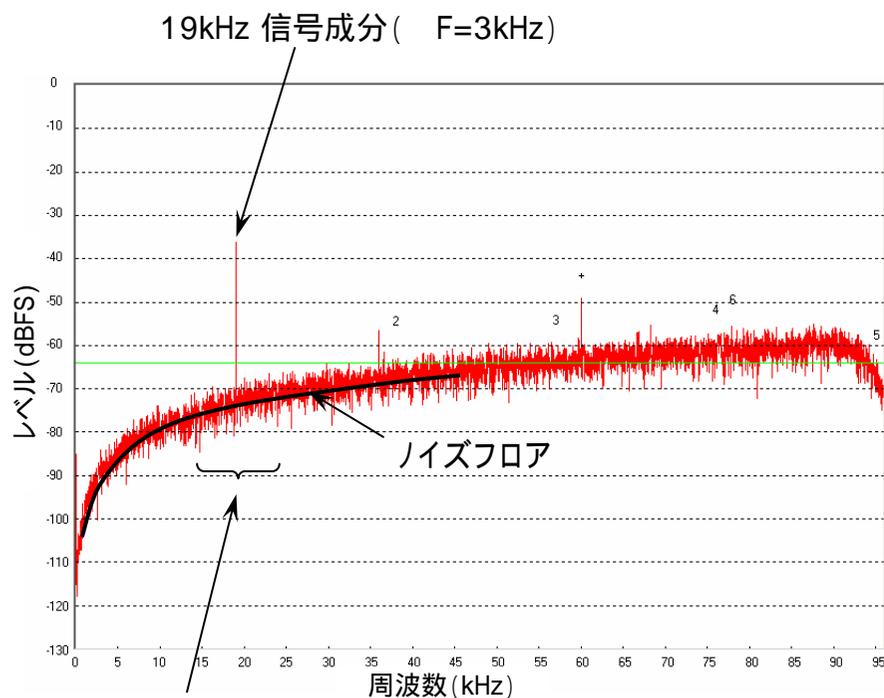
- 復調出力におけるSN比: SNR

$$SNR = \frac{3 \cdot C}{2 \cdot n_o} \cdot \left(\frac{\Delta F^2}{f_2^3 - f_1^3} \right)$$



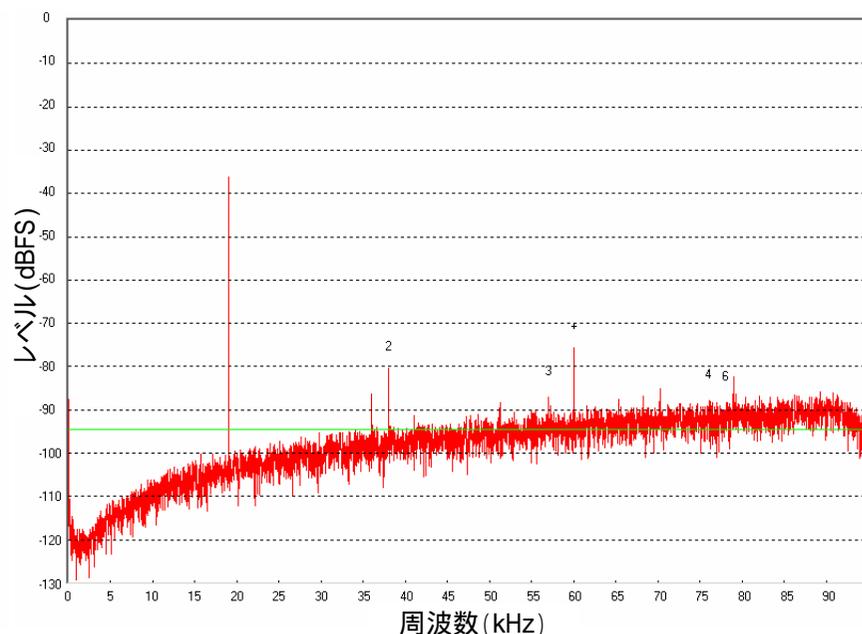


復調出力のFFTによる解析



雑音計測の帯域幅: 17 ~ 21kHz

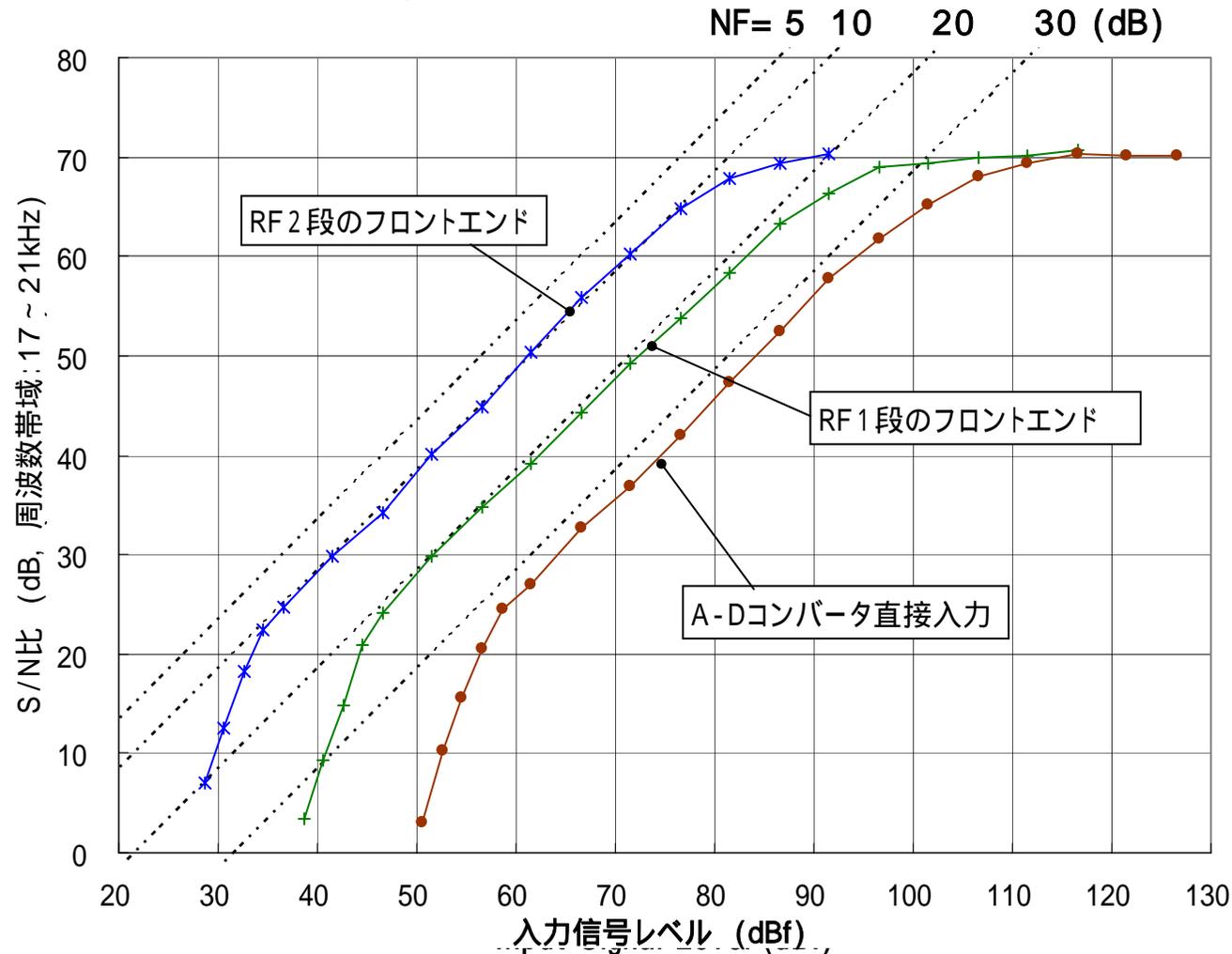
入力信号レベル: 40dBf



入力信号レベル: 80dBf

FFTのサンプル数は16384。ノイズフロアの形状はFM変調特有の「三角雑音」により、対数カーブになる。

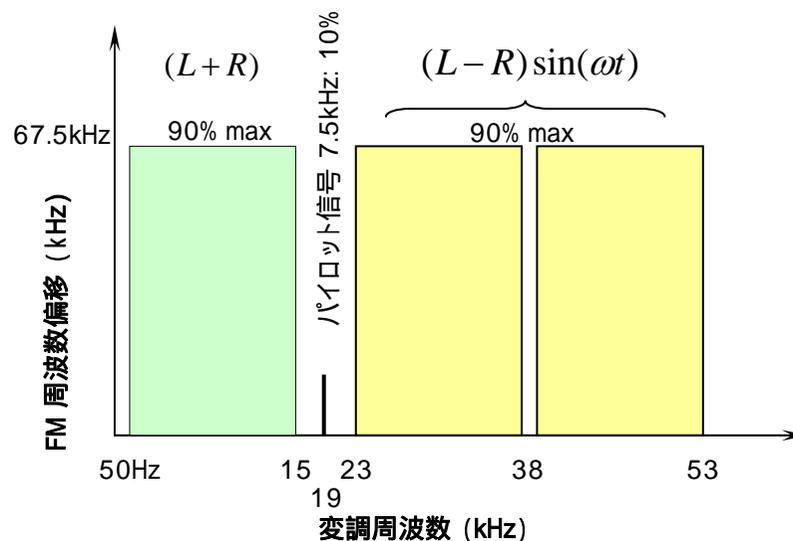
入力信号レベルと復調出力の S/N比の関係 (実測値)



測定の都合上、FM変調信号の最大周波数偏移は3kHzとし、周波数帯域を17~21kHzとした場合の測定結果。点線は雑音指数から求めた理論値。



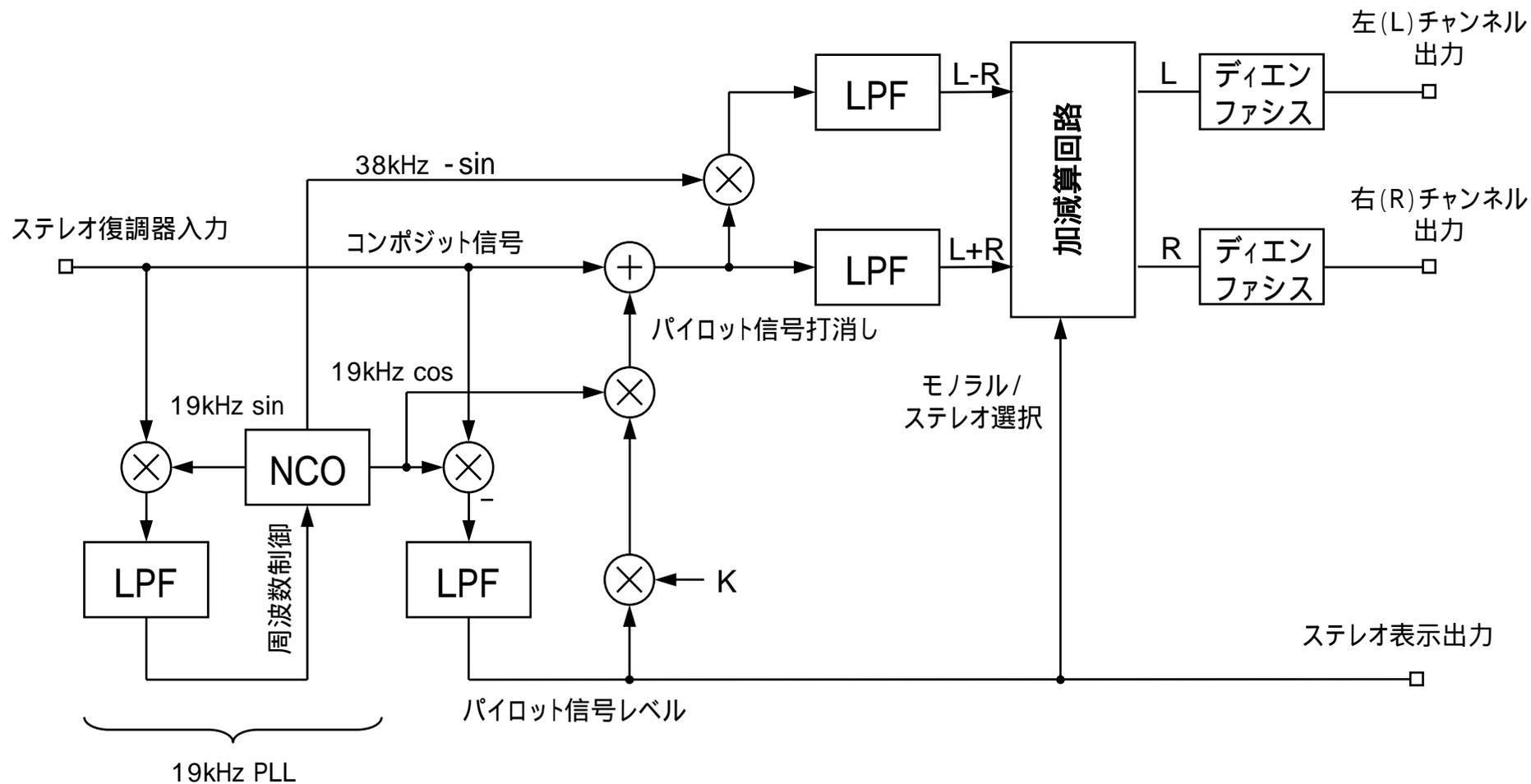
FMコンポジット信号のスペクトル



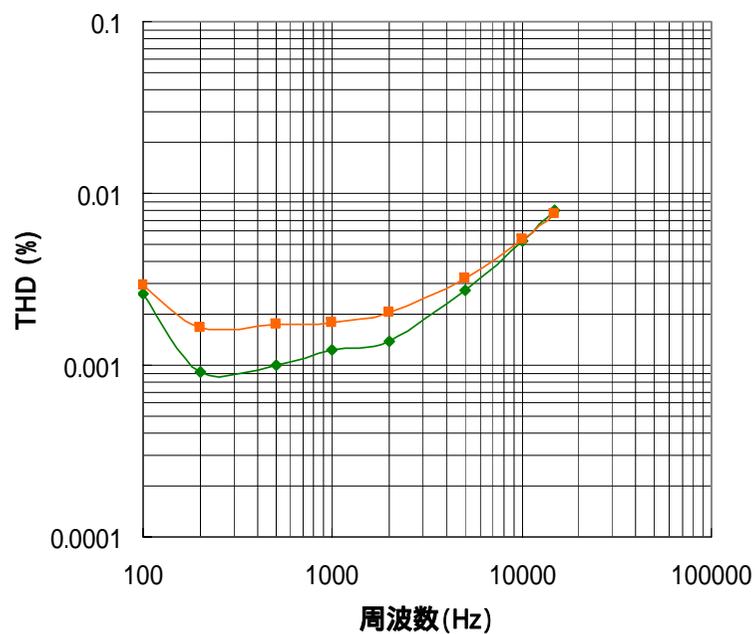
L+R信号、L-R信号、パイロット信号の3つの成分から成る。76kHzにはDARCというVICS交通情報等のデータ放送が実施されていることがあるが、この図では省略。



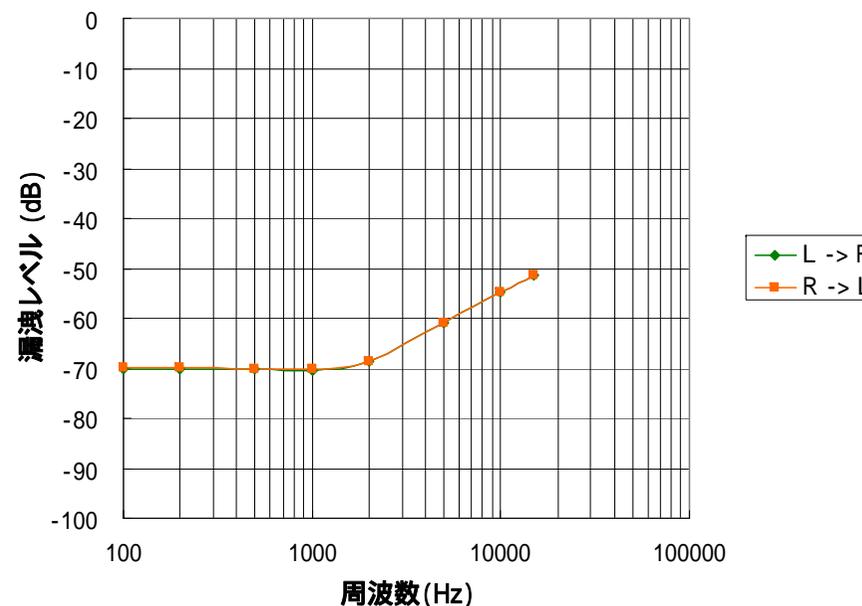
ステレオ復調器のブロック図



ひずみ率、ステレオ分離度のシミュレーション結果



歪率



ステレオ分離度

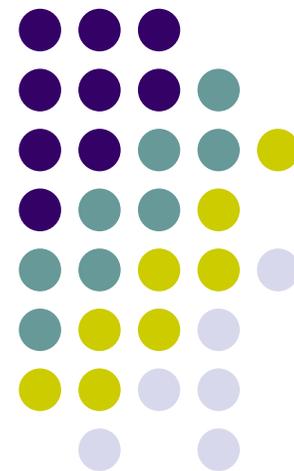
高調波は7次まで計測。変調度: Main(L+R) + Sub(L-R) = 65.5kHz, Pilot=6.54kHz

昨今の表面実装部品との付き合い方

QFNパッケージのICだって、どんどん使う！

林 輝彦 (thayashi@ta2.so-net.ne.jp)

JA2SVZ





アンケート：ハンダ付けは、どの程度...

- 以下のどれにあてはまるか、挙手で教えてください。
 - (A) 「QFNパッケージも含め、SMD(表面実装部品)のハンダ付けはいつもやっているけど、何か？」
 - (B) 「SMDのハンダ付けは、必要なら実験室とかでやることもあるけど、QFNパッケージって、手付けでハンダ付けできるの？へー...」
 - (C) 「昔はハンダ付けは嫌いじゃなくて、自分でも良くやったけど、最近SMDばかりで... そういえば最近ハンダ付け、やらなくなったよ。」

QFN (Quad Flat Non - leaded) パッケージのIC



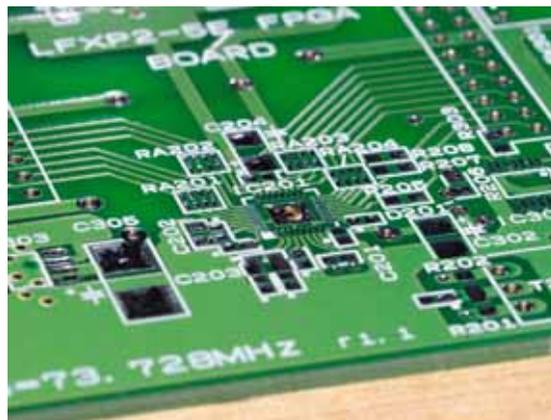
- 最近の高性能なIC（高速パイプラインA-Dコンバータ，等）は QFNパッケージで供給されることが多い。
 - QFNパッケージのICを避けていては、先進の面白い回路が作れない。
- QFP (Quad Flat Package) にくらべ、さらにハンダ付けは難しそう。

位置合わせさえ、正確に行なえば、手付けでもハンダ付けは十分可能！

基板の準備



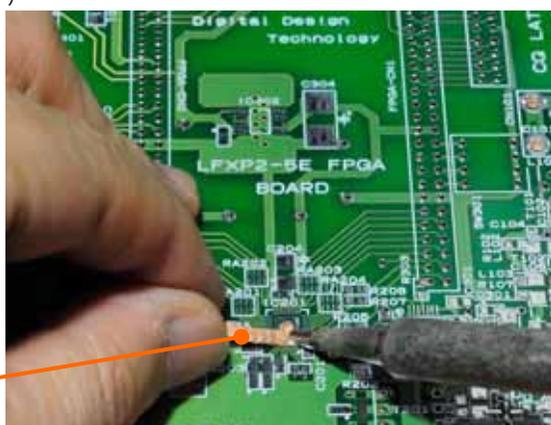
基板は木板に固定。基板の向きを自由に変えるために、あまり大きすぎない。(この例は大き過ぎ)



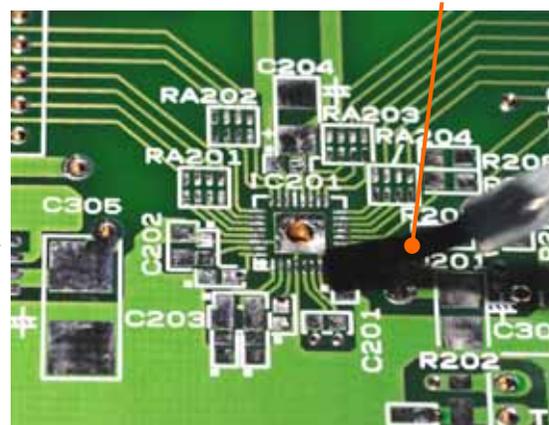
ハンダ・フラッシュ仕上げの基板。表面が少しデコボコ。



SODER-WICK SIZE#4
(Chemtronics)

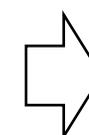


ハンダ吸い取り線で余剰なハンダは「ふき取る」



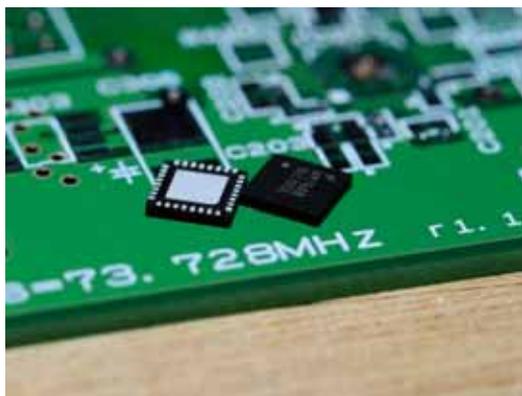
ハンダ吸い取り線から出たフラックスをフラックス洗浄剤で清掃し、準備完了。

BS-R20R
(太洋電機産業)



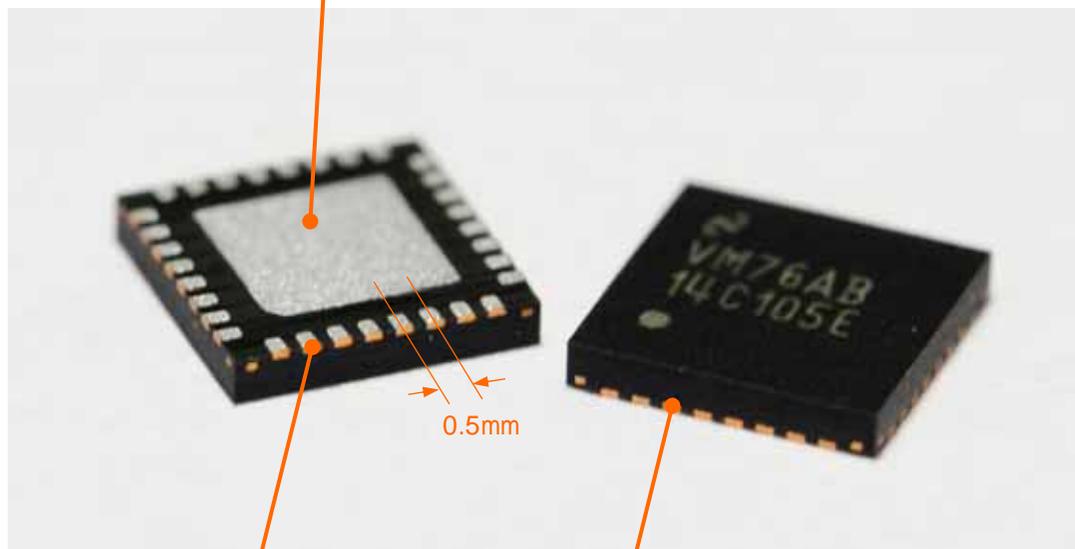


QFNパッケージ



ADC14C105 (NS)の外観。

EP: Exposed Paddle -> GND に接続。



端子: 8端子 x 4辺 (32)
0.5mm 間隔

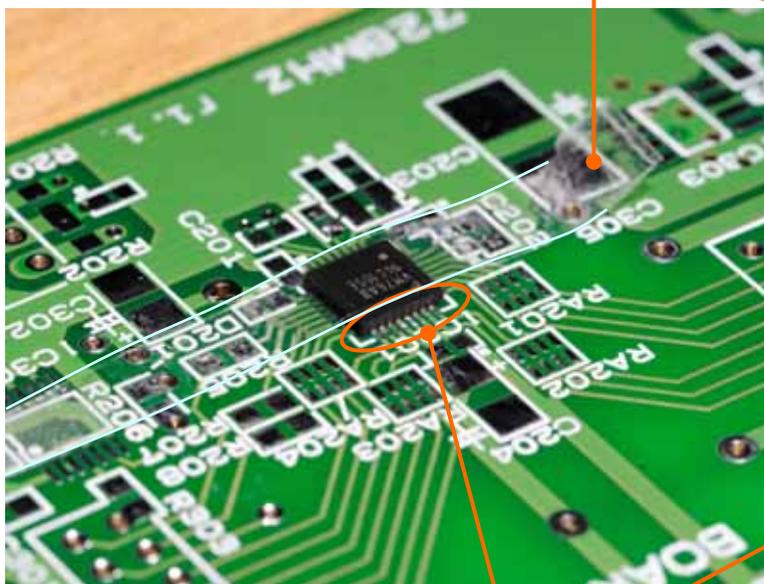
端子は底面だけでなく、側面にも「顔」を出している。

- 予備ハンダは不要

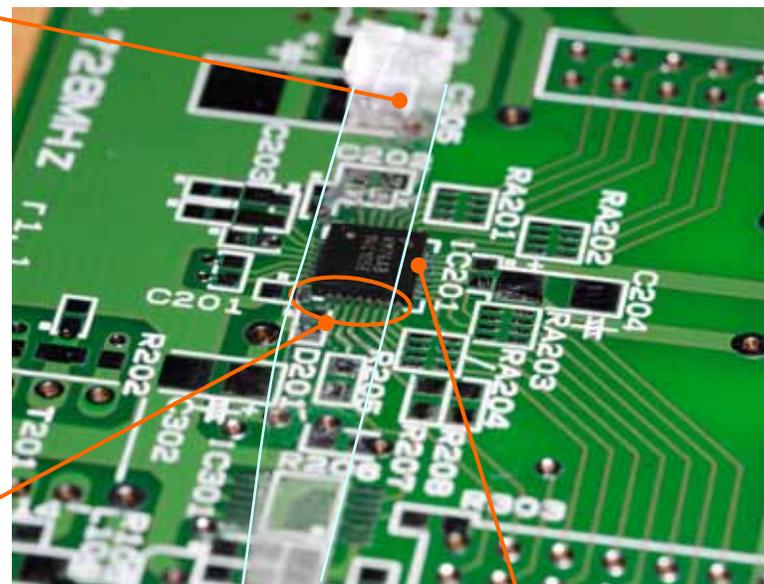


位置合わせ

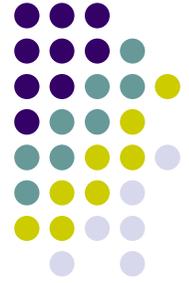
透明粘着テープ



基板のパターンと端子の側面を完全に一致させる。



最初にハンダ付けする辺はテープでカバーしない。

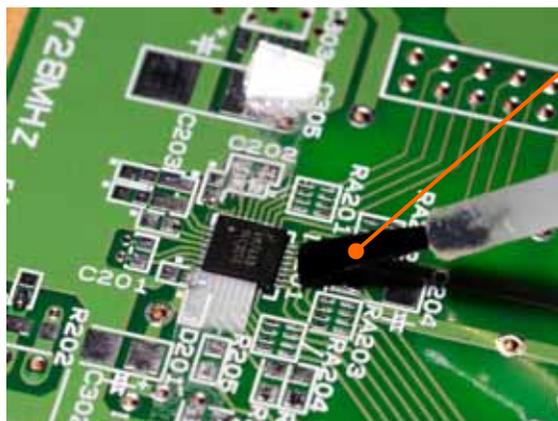


位置合わせのコツ

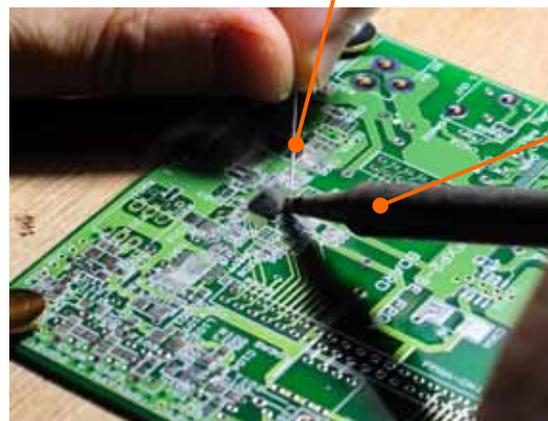
- 透明粘着テープ(セロテープ)をパッケージの幅程度の短冊に切り、これを使ってパッケージを基板に固定する。
 - 最初にハンダ付けする辺はテープでカバーしない。
 - 基板のシルク印刷をガイドにして位置を合わせるが、最終的には、ルーペで見ながら、基板のパターンとQFNパッケージの側面の端子を、4辺完全に一致させる。(15分～30分程度、時間をかけるつもりで。)
 - テープの端は折り返し、剥がし易くし、この両端を持って位置合わせをする。
 - 絶対、「妥協」しない!
- 最初にハンダ付けする辺は、ベタのGNDパターン等の無い、一定の配線が接続されている辺にする。



最初の辺をハンダ付け



BS-R20B
(太洋電機産業)



SE-26006 RMA (太洋電機産業)

PRESTO No.980
チップ：980-T-BC
(白光)

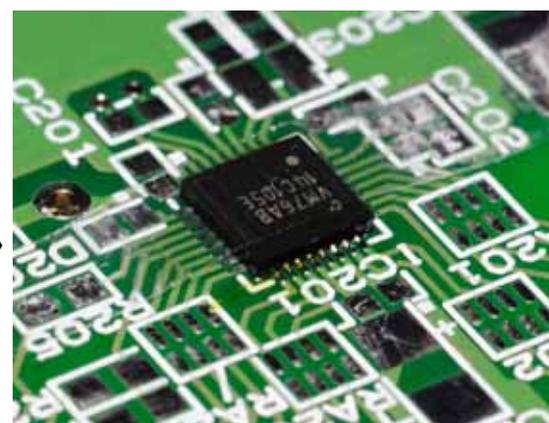


最初にハンダ付けする辺にフラックスを塗布して数分、乾燥させる。

基板(ワーク)の温度を十分上げるように留意して、一気に仕上げる。溶けたハンダの表面張力も利用するつもりで。



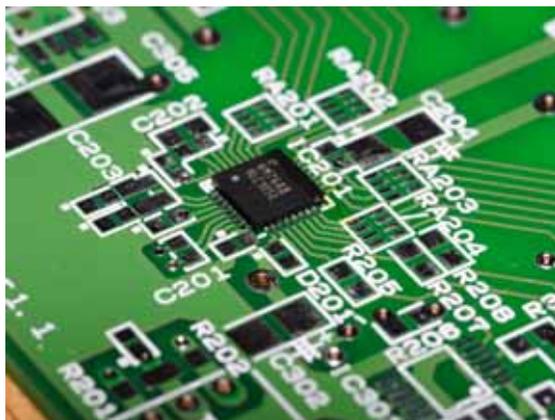
ハンダの流れの悪いピンの修正は他の3辺を仕上げてからにする。



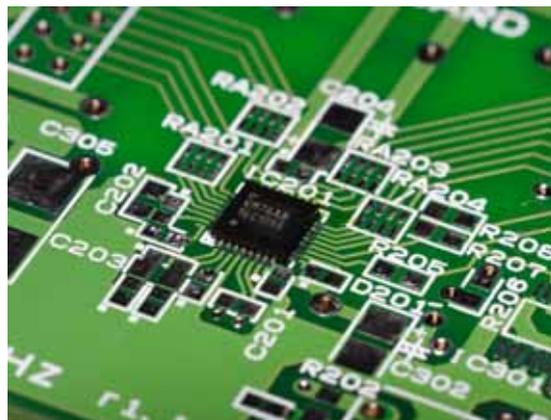
フラックス除去前は接続不良があっても良く見えない。



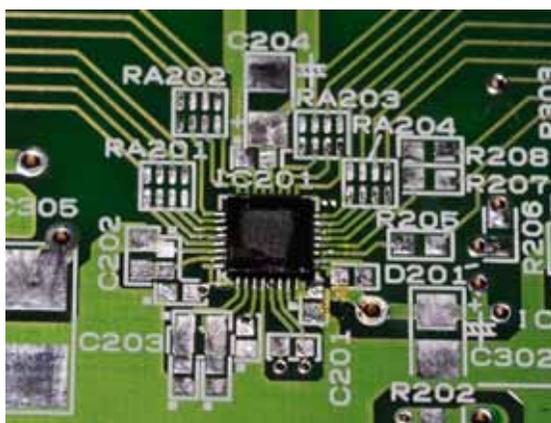
残りの辺も同様に。



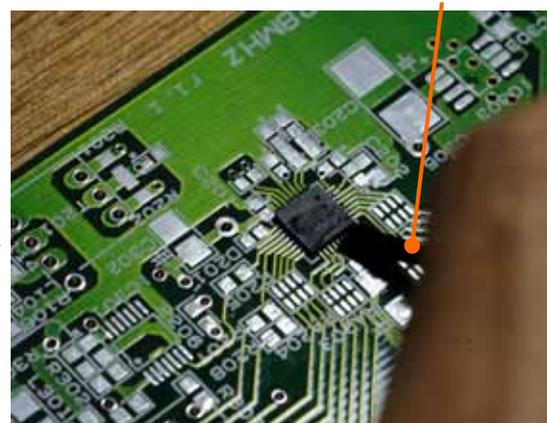
テープを剥がし、他の辺の位置合わせの状況を確認。(この時点ならやり直し可能)



残りの3辺にもフラックスを塗布して数分待つ。



全辺のハンダ付け終了。GNDのベタのピンに十分時間(一呼吸)をかける。



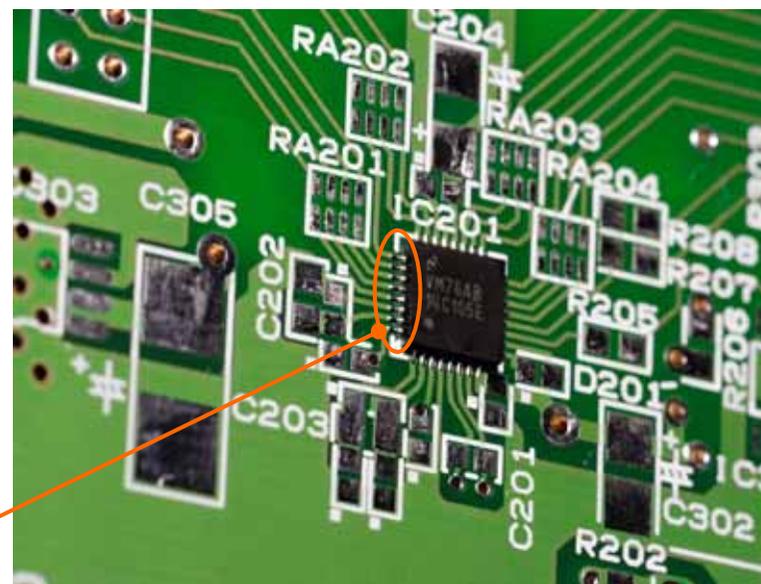
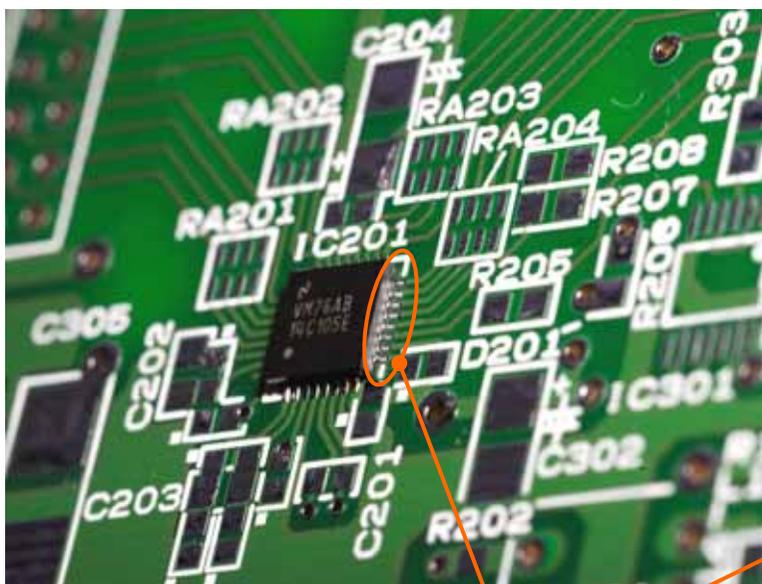
BS-R20R
(太洋電機産業)

フラックス洗浄剤でフラックスを除去し接続の様子を観測する。





接続部の目視確認

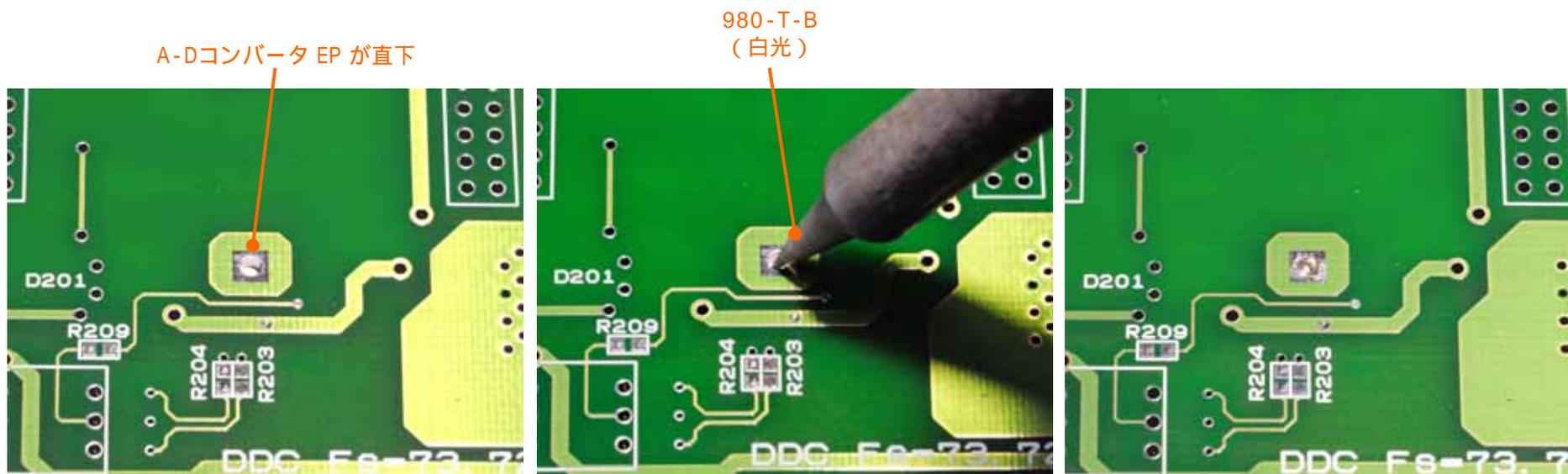


側面からハンダの流れ具合をよく確認する。

目視で明らかに接続できていない端子はこの時点で修正する。
(周辺の1～2本の端子も合わせ、修正)



EP: Exposed Paddle のハンダ付け

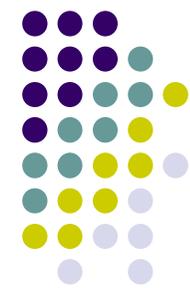


基板、部品面。

穴に入る細めのチップで十分に加熱。

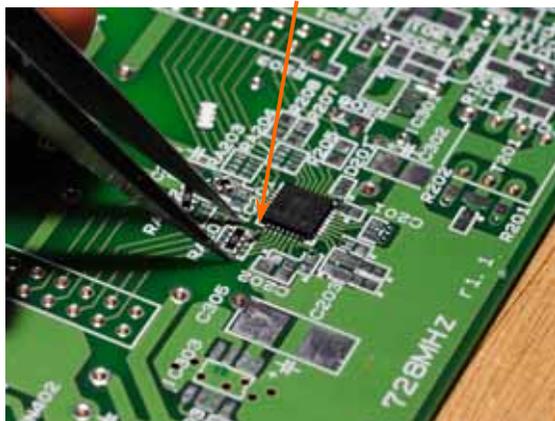
ハンダの量は少なめにしてEPへのハンダの「まわり」が見えるように。

- GNDインピーダンスの低減(安定動作)、放熱のため、EPはGNDパターンにハンダ付けする必要がある。



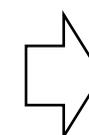
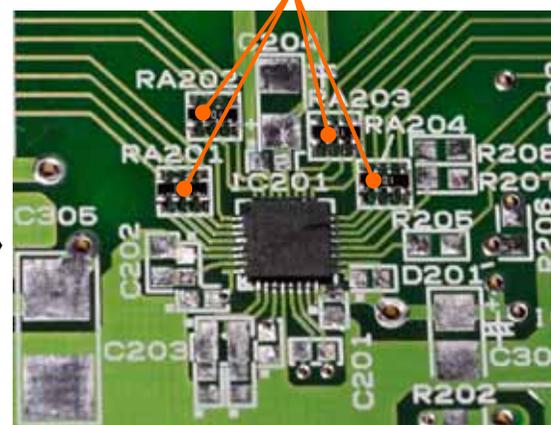
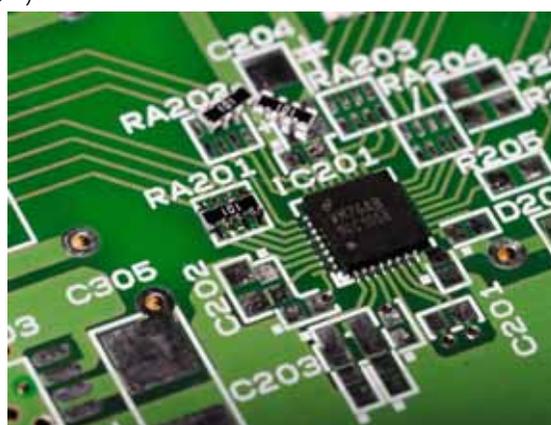
集合抵抗 (100 Ω x4) のハンダ付け

仮止め用ハンダ切れ端



最初の仮止め用の糸ハンダ片を置く。
この例では、右上のピンを最初に作業。
(0.6mm x 1.5mmくらい)

端のピンを仮止めする。



他のピンを仕上げる。(ランドの形状が少し、
不適切だった。反省。)

4つの集合抵抗を取り付け終わったところ。

MNR14E0APJ101 x4
(100 Ω)



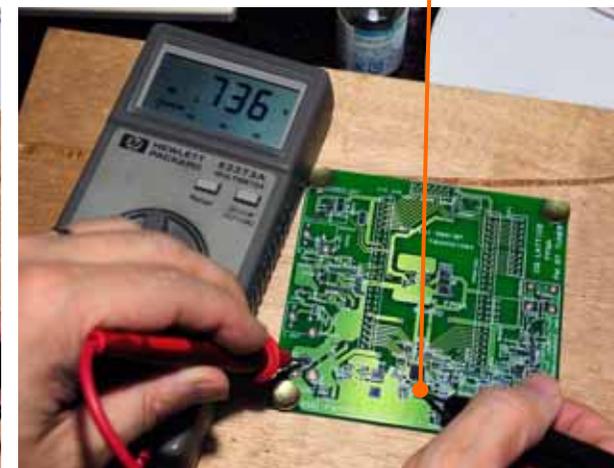
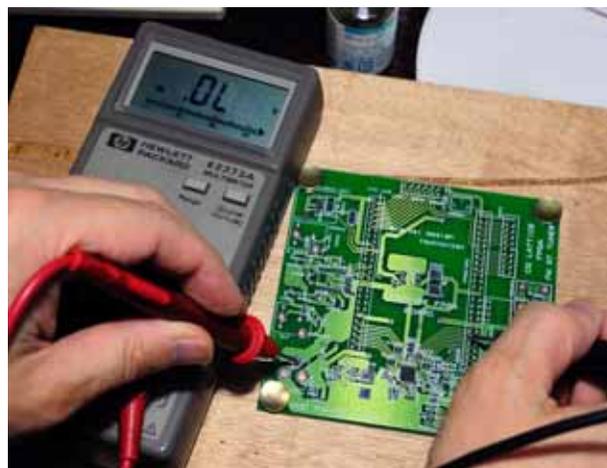
接続部の導通テスト

DMMダイオードテストの結果

GND パターンに赤リード接続

FPGA基板側のピン

アナログ入力端子



デジタル出力端子の1本。導通OK。アイソレーション抵抗 (100 Ω) の抵抗を含め、確認。

隣接の端子はハンダ付け不良！

端子の種類によって、電圧降下が異なる。
(アナログ入力端子の例)

- ICの端子にはESD保護のため、PNダイオードが作り込まれており、その順方向電圧降下をDMMのダイオードテストで測定する。
 - DMMのダイオードテストでDUTに流す電流を把握しておく。
 - 1mA以下(多くのDMM)であれば、微小信号の入力端子であっても、測定電流による損傷の可能性は無い。



手が3本欲しい...

- 左手が器用な人はこの「王道」
 - 親指・人差し指に持ったピンセットで部品を固定、中指 - 小指に糸ハンダを挟み、ハンダを供給。(私には無理...)
 - 右手でハンダ鋺を操作。

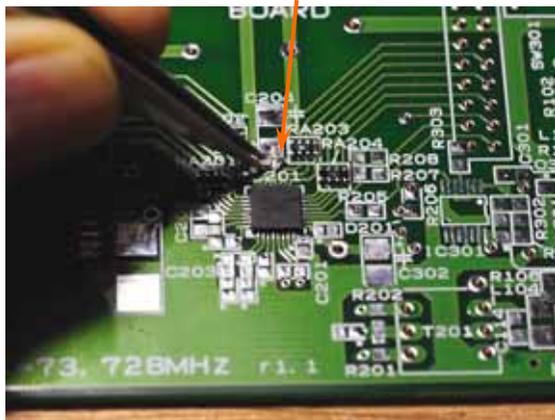
< 代案: 以下の2つの方法 >

- 片方のランドに予備ハンダ
 - 素早く、若干のフラックスが残るように。
 - ピンセットで部品をつかみ、予備ハンダを再加熱し位置を調整して仮止め。(部品側に予備ハンダはしないー 危険な行為)
 - 反対側の端子をハンダ付け。
 - 最初の端子を(必要なら)再仕上げ。
- 1 - 2mmに切った糸ハンダ片を用意し仮止めするランド横におき、ランドの予備ハンダを行わず、端子をハンダ付け。

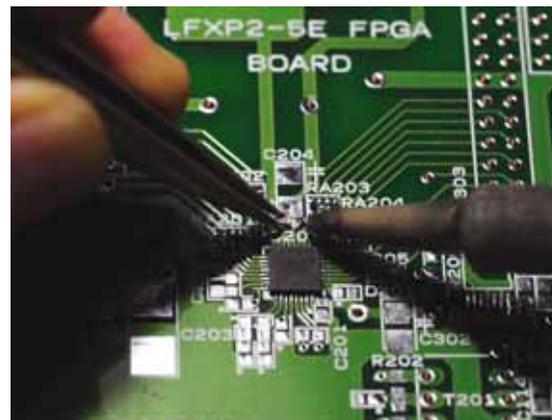


通常の2端子部品のハンダ付け

仮止め用ハンダ切れ端



最初の仮止め用のハンダを置く。
(0.6mm x 1.5mmくらい)

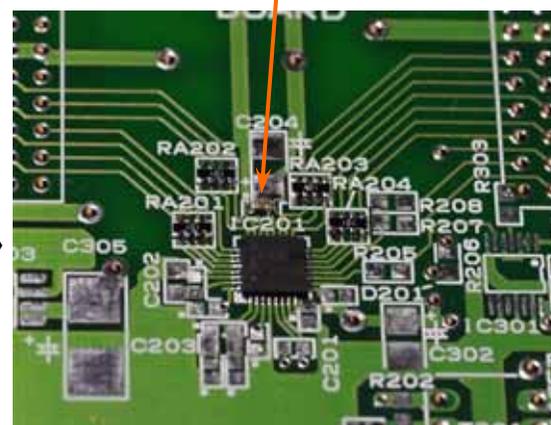


ピンセットで部品を保持しながら、右側の端子(熱容量の小さい側)をハンダ付け。



右側の接続完了。

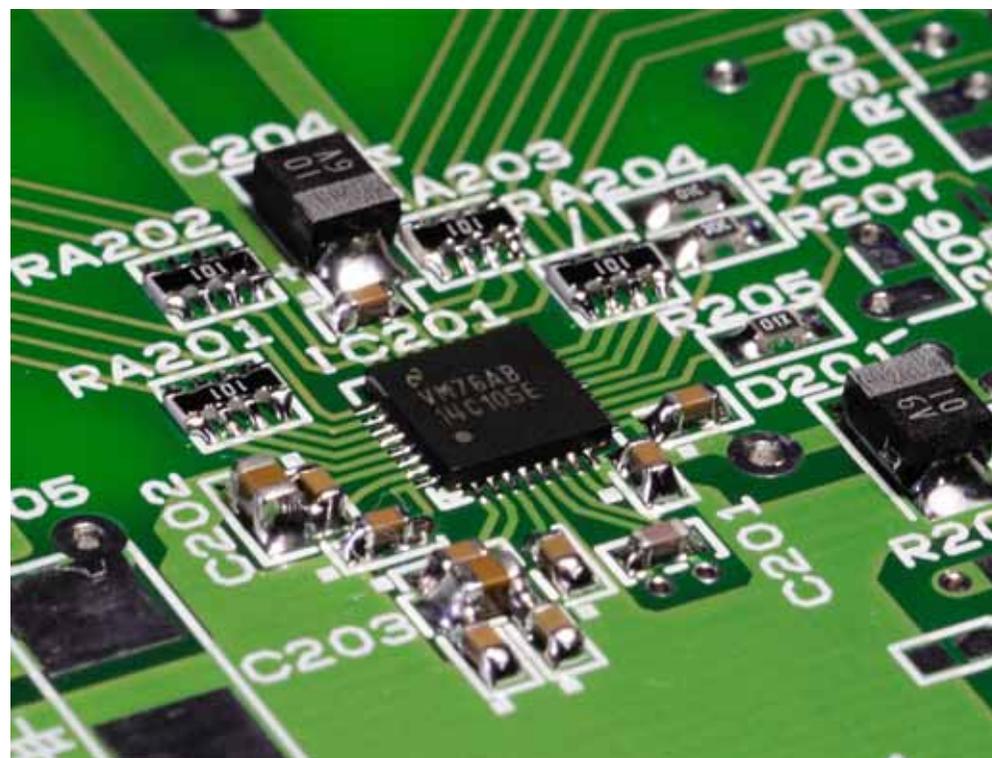
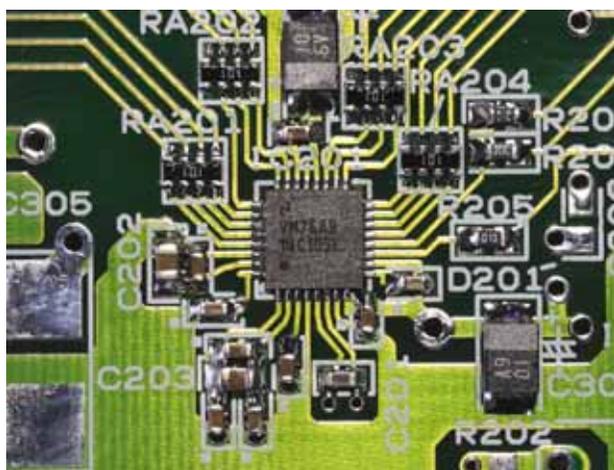
100nF X7R 1608サイズ



基板の方向を変え、反対側の端子を仕上げる。場合によっては最初の右側を再修正して完了。



A-Dコンバータ周辺



クローズアップ。反省：SMD部品高に対しランド形状が小さすぎ、ハンダが盛りすぎになっている部分がある。