

MN1500 Family-5
MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL,ELECTRONIC

72C 05861 D

MN1554(MN1550 Series) 代表例

高性能・低電力 CMOS 4ビット・1チップ・マイクロコンピュータ
High-Performance・Low Power CMOS 4-Bit Single-Chip Microcomputer

T-49-19-04

■ 概要

MN1554は、高性能・低電力4ビット・1チップ・マイクロコンピュータで、ROM 4Kバイト、RAM 256ワードを内蔵しています。

基本的な機能は MN1500 シリーズの NMOS 製品に準じていますが、さらに消費電力を低減するための2種類のバックアップモードを内蔵しております。

バックアップモードには、STOP モードすなわちカウンタクロック発振回路、割込み関連回路を除く動作の全面停止と、STOP モードに加え、システムクロック発振回路のみを動作させる HALT モードがあります。

エバリュエーションは、EC-1500A を用いて行なうことができ、他のサポートツールも MN1500 シリーズの開発ツールが使用できます。

■ Description

The MN1554 is a CMOS 4-bit single-chip microcomputer with 4K bytes of ROM and 256 words of RAM. It has two back-up modes, STOP and HALT, for power saving.

Evaluation is possible by using evaluation card EC-1500A.

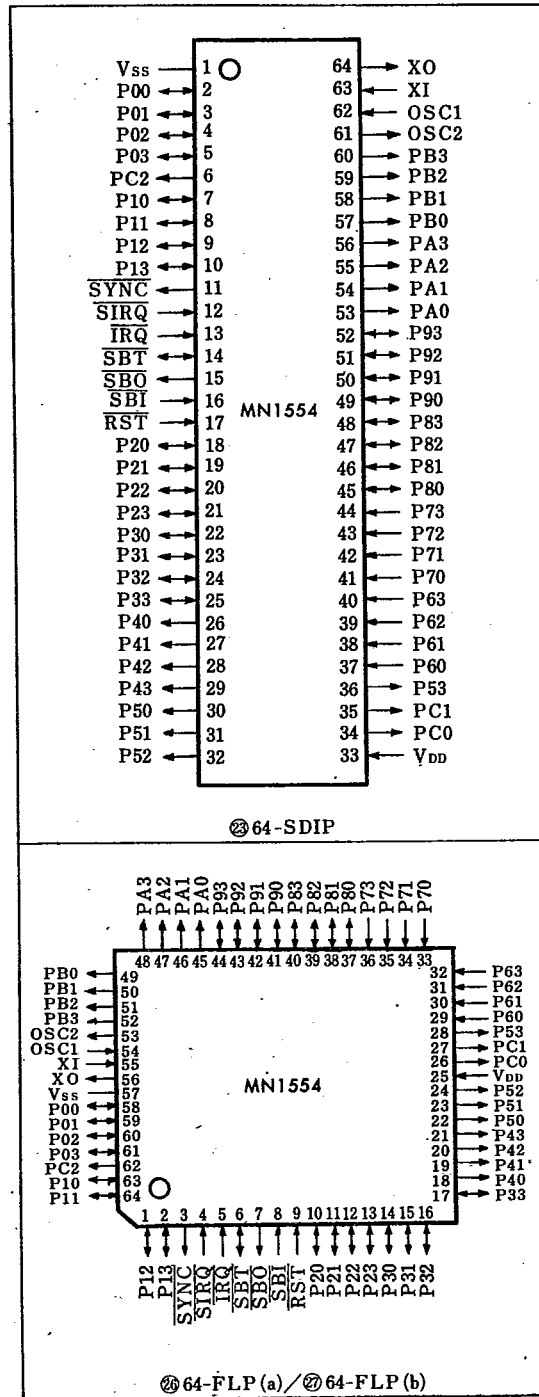
■ 特徴

- MN1500 シリーズの持つ高機能を保持
- 2種類のバックアップモードがある
- 動作周波数範囲が広い(1マシンサイクル 400~4μs)
- 直列データ転送可能(8ビット・シフトバッファ内蔵)
- 8ビット・タイマ/カウンタ(7ビット・プリスケアラ付)

内蔵

- ROM 領域のテーブルルックアップ機能
- 全 RAM 領域直接アドレス指定演算可能
- パッケージ：小型の 64ピン・フラット/縮小 DIL パッケージ

■ 端子配置図/Pin Assignments



MN1500 Family-5
MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL. ELECTRONIC

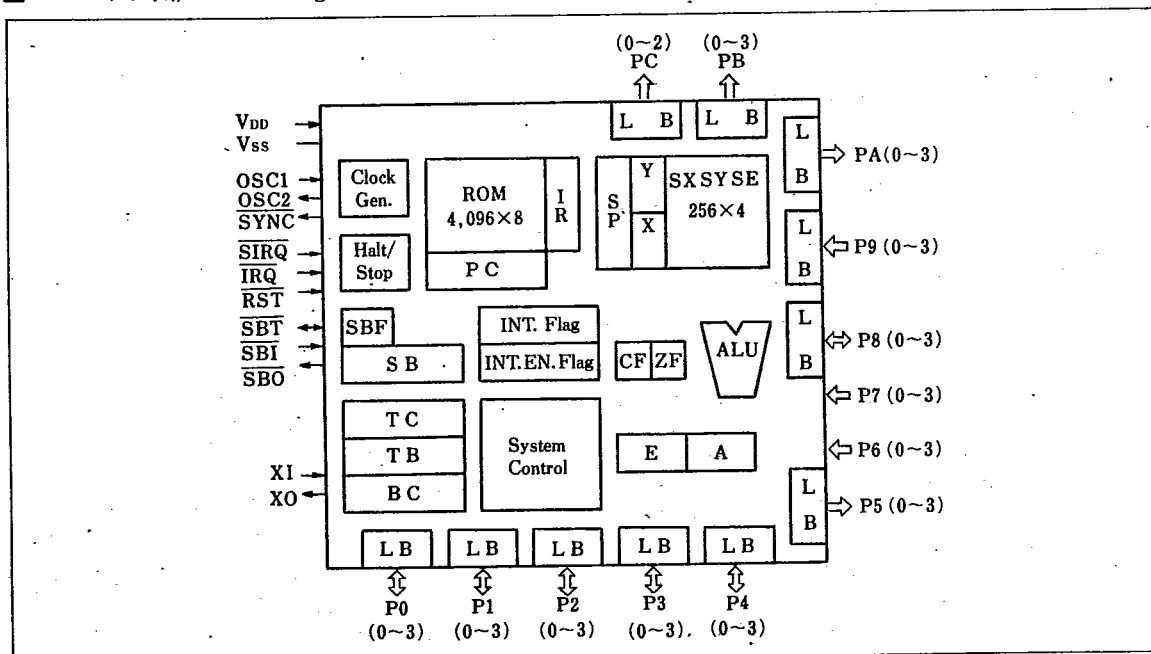
72C 05862 D

■ 諸 元

T-49-19-04

項 目	内 容
パッケージ	64ピン・フラット/縮小DILパッケージ
プロセス	シリコンゲート CMOS
電源電圧	+3~+5.5V
命令サイクル	400~4.0μs
クロック周波数	20kHz~4.0MHz (V _{DD} =4.5~5.5V)
命令数	115種
ROM容量	4,096×8ビット
RAM容量	256×4ビット
サブルーチンスタック	16レベル (RAM領域使用)
割込み	4レベル (外部2, 内部2)
直列データ転送	8ビット・シリアルバッファ (2モードあり)
タイマ・カウンタ	カウンタ 8ビット, プリスケアラ 7ビット タイマモード (1/128, 1/32, 1/8, 1/2) カウンタモード (1/64, 1/16, 1/4, 1/1)
データ入出力	並列入出力 6ポート (24本) 並列入力 2ポート (8本) 並列出力 5ポート (19本) シリアル入力 1本 シリアル出力 1本
バックアップモード	STOPモード/HALTモード
クロックゼネレータ	内蔵 (水晶またはセラミック発振), 外部発振入力
イニシャルクリア	あり
入出力レベル	TTLコンパチブル
カウントクロック	内蔵 (水晶またはセラミック発振), 外部発振入力

■ ブロック図/Block Diagram



MN1500 Family-5
MN1554 (MN1500 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL・ELECTRONIC

72C 05863 D

■ 命令セット

T-49-19-04

M	L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0		NOP	AAC	CPL	RC	RDSP	WTSP	DAA	SC	ROL	ROR	DAS	RDTBL	CEAI	CD		C
			zc	z	c			zc	c	zc	zc	zc		zc	zc		zc
1		A	AC	S	SB	O	X	N	L	AD	ACD	SD	SBD	OD	XD	ND	LD
		zc	zc	zc	zc	z	z	z	z	zc	zc	zc	zc	z	z	z	z
2		ICY	LICY	STICY	EXICY	DCY	LDCY	STDCY	EXDCY					OE	XE	NE	LE
		z	z	z	z	z	z	z	z					z	z	z	z
3		SBTIN	SBTEX	LMXI	LMEI	RET	RETI	JMPEA	RMD	RBMD				SBMD			
				z	z		zc			z				z			
4		EXSX	EXSY	EXSE	EXD	LX	LY	EXE	EX	LBD	STBD	WI					
						z	z										
5					STD	STX	STY	STE	ST	SLEA	ICEA	DCEA	EDI	LXY	STXY	ICYJ	ICEJ
										c	c	c				z	z
6		ICM	ICMD	ROUT	ROUTY	DCM	DCMD	SOUT	SOUTY	PSHEA	PSHXY	JNZ	JNC	POPEA	POPXY	JZ	JC
		zc	zc			zc	zc										
7		OUTEA	INEA	OUT	IN		LXSXI	LEAI	LXYI	JBZ				JBNZ			
8		WTSB	WTTC	WTTB		RDSB	RDBC			CALC							
		CALL															
9		JMP															
A		CYIJ															
B		LYI															
C		AI															
D		CI															
E		LI															
F																	

zc 影響されるフラグ 1バイト1サイクル命令 1バイト2サイクル命令 2バイト2サイクル命令

各命令の詳細は、MN1500シリーズのユーザーズマニュアルを参照してください。

MN1554の命令セットはMN1500シリーズに準じていますが、ただし、下記の9命令が削除されています。

AE, ACE, SE, SBE, CE

STSX, STSY, STSE, POUT

代替え命令

STSX---->PSHXY STSY---->PSHXY

EXSX EXSY

POPXY POPXY

STSE---->PSHEA EXE

EXSE または STD X'02'

POPEA EXE

POUT---->ROUT ただしパルス幅は2マシンサイクル

SOUT

他の5命令については、Eレジスタの内容をRAMに格納し、アキュムレータと演算を行ないます。また、ROUT, SOUT, ROUTY, SOUTY命令は、入力および出力専用ポート(Port 4, 5, 6, 7, A, B, C)に対しては使用できません。RAMにイメージをもって、RAM上でビット操作を行なってください。

MN1500 Family-5
MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL ELECTRONIC

72C 05864 D

■ バックアップモードの機能説明

7-49-19-04

消費電力を低減するため、2種のバックアップモードが用意されており、プログラムによる制御が可能です。

モード名	STOP	HALT
動作/停止内容	1) システムクロック発振回路停止 2) カウントクロック発振回路動作 3) タイマカウンタ動作(イベントカウンタモード時) 4) シフトバッファ動作(外部クロックモード時)	1) システムクロック発振回路動作 2) カウントクロック発振回路動作 3) タイマカウンタ動作 4) シフトバッファ動作(外部クロックモード時)
内部状態の保護		
モード設定		WI 命令を実行する(EDI 命令を除く 命令の後)
復帰	○ 割込み 通常の割込みと同一動作 ○ リセット 通常のリセットと同一動作	

STOP/HALT 比較表

	OSC	XI	CPU	SBIRQ	TCIRQ	SIRQ	IRQ	RESET
STOP モード	×	○	×	△	▲	○	○	○
HALT モード	○	○	×	△	○	○	○	○

○:動作 ×:停止

▲:イベントカウンタモード時のみ動作

■ バックアップモード処理上の注意点

(1) I/O ポートの処理

バックアップモード時には、出力ポートおよび I/O ポートのレベルは、フローティングにはなりません。したがって、ポートでの電力消費をなくすため、ポートに接続される外部回路のレベルに合わせたポートデータを出力した後バックアップモードを設定してください。

外部回路電圧レベル	出力するポートデータ
L	L
H	H

(2) プルアップ抵抗のオプション指定

入力専用ポート、RST, IRQ, SIRQ, SBT 端子のプルアップ抵抗は、1)と同様に外部回路電圧レベルに合わせて発注時に指定してください。

(SBI 端子はプルアップ抵抗なし)

(3) シフトバッファの処理

送信モードのとき、転送途中でバックアップモードに設定すると、SBO 端子のレベルはフローティングになりません。したがって、内部クロックモードのときは、転送が完了するまで待ち、フローティング状態にしてからバックアップモードに設定してください。外部クロックモードのときも、十分なクロックを送るか、SBTIN 命令により内部クロックモードに切り換えて転送を完了させ、フローティング状態にした後、バックアップモードを設定してください。

(4) STOP モードからの復帰

STOP モードからの復帰時には、システムクロック発振回路が動作するまでに数 ms の遅れを生じます。

復帰時に電源電圧が 3V 以下の場合には、復帰後の RAM

データは保証されませんので、この場合には外部回でリセットしてください。

動作速度が 4μs で間欠動作させる場合にも、電源電圧を 4.5V 以下に設定しないでください。

■ タイマ/カウンタの機能説明

MN1554 のタイマ/カウンタは、下記のような構成になっています。

(1) 動作モード^{注1)}

- ・タイマモード システムクロックをカウントする。
- ・イベントカウンタモード^{注2)} XI 端子より、入力されるカウントクロックをカウントする。

(XI, XO 端子は水晶発振回路を形成できます)

(2) プリスケアラ^{注3)}

タイマ、イベントカウンタいずれの動作モードもプリスケアラを使用します。

動作モード	TC7	TC6	TC5	TC4
タイマモード	1/128	1/32	1/8	1/2
イベントカウンタモード	1/64	1/16	1/4	1/1

注1) パルス幅測定モード、TCO 出力機能はありません。タイマ/カウンタ制御レジスタ (TC) はイニシャライズ時“不定”になっていますので、TCIRQ をイネーブルする前にタイマ/カウンタに必要なデータまたは“00”をセットしてください。

2) XI 端子入力の立下りが有効です。

3) タイマ/カウンタを使用する際は分周比(TC4~7のうち の1ビット)を必ず“1”にセットしてください。

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL ELECTRONIC

72C 05865 D

■ シリアルバッファの機能説明

MN1554は、2方式のデータ送受形式が選択できます。シフトバッファ機能を使用しないときには、シフトバッファレジスタとE、Aレジスタとの間でRDSB, WTSB命令

によりデータ転送ができます。この場合、SBの内容がシリアル転送クロックによって変化しないように注意してください。

T-49-19-04

- (1) データの入力と出力が別端子になっています。

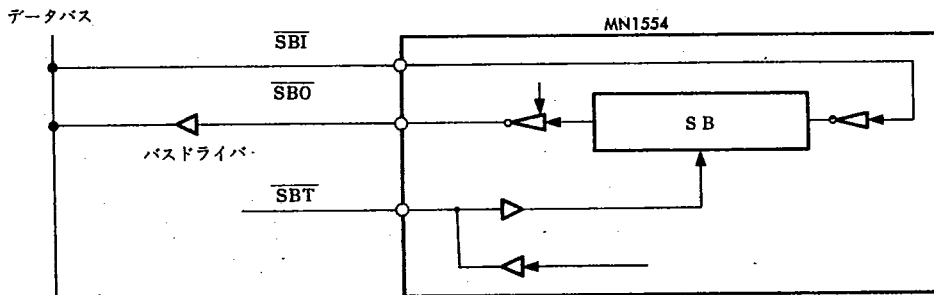


図2 バスドライバの接続

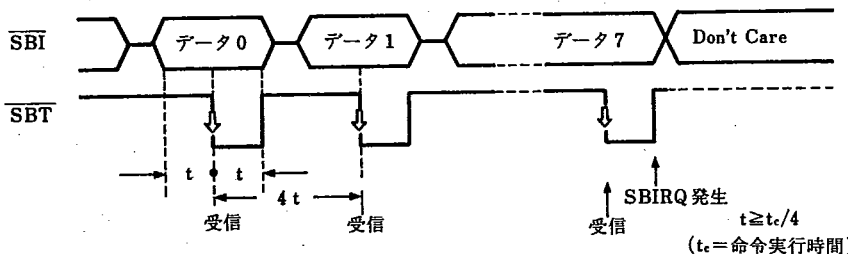
- データバスの負荷が重いときには、外部にバスドライバを接続する必要がありますが、このときには図2のような構成がとれます。
- データバスの負荷が軽いときには、SBIとSBOとを外部で接続して使用できます。

- (2) データとクロックのタイミング関係で、2種の形式が選択できます。選択は、マスク発注時指定してください。

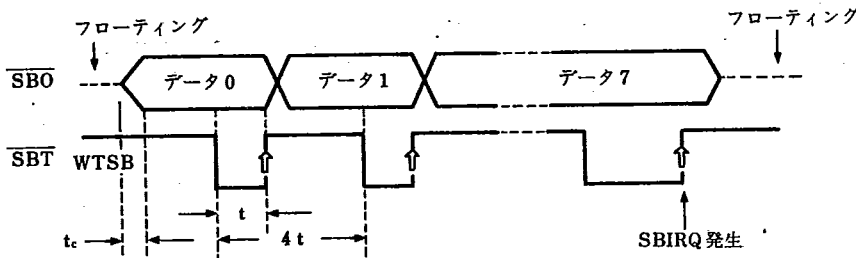
形式A：図3参照 (MN1500シリーズとほぼ同一形式)

形式B：形式Aのデータ/クロック関係を半クロック遅らせたものです。図4参照

A 1) 外部クロック受信モード注1)



A 2) 外部(内部)クロック送信モード注2)



注1) SBI入力は、SBT入力の立下りエッジの前後t時間確保してください。
注2) データは、下位ビットから上位ビットへ転送されます。

図3 シフトバッファタイミング 形式A

MN1500 Family-5
MN1554 (MN1550 Series)

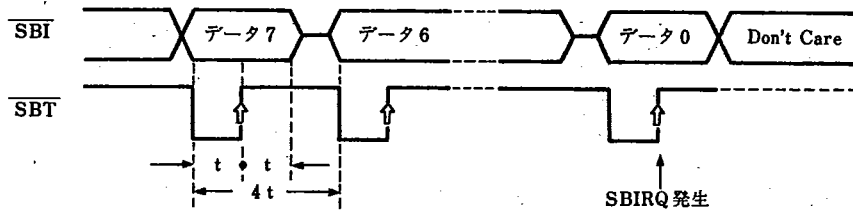
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL,ELECTRONIC

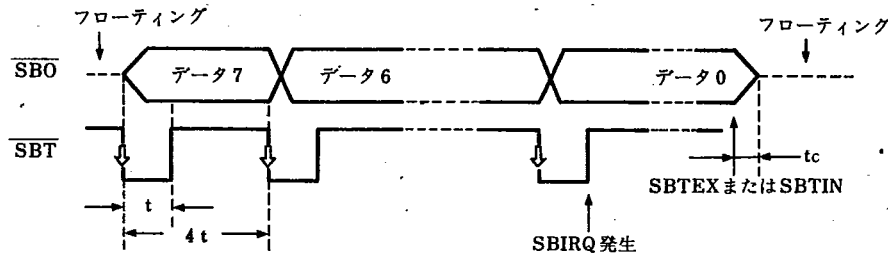
72C 05866 D

B1) 外部クロック受信モード注3)

T-49-19-04



B2) 外部(内部)クロック送信モード注3,4)



注3) データは、上位ビットから下位ビットへ転送されます。

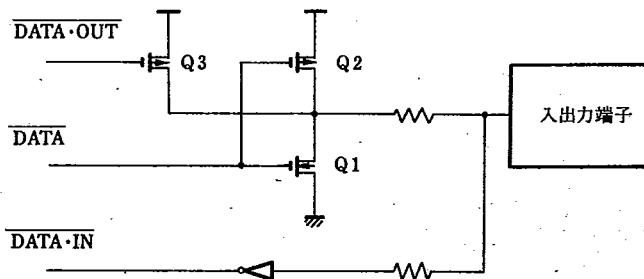
注4) SBTEXまたはSBTIN命令により送信データはフローティングになります。

図4 シフトバッファタイミング 形式B

注意: WTSBまたはRDSBによりデータ転送を開始する際、SBT端子の初期レベルが“L”となる使用法を禁止します。

■ I/Oポートについて

(1) I/Oポートの構造



Q1: N-MOS Tr ON 抵抗 R1 低
Q2: P-MOS Tr ON 抵抗 R2 高 R1 < R3 < R2
Q3: P-MOS Tr ON 抵抗 R3 中

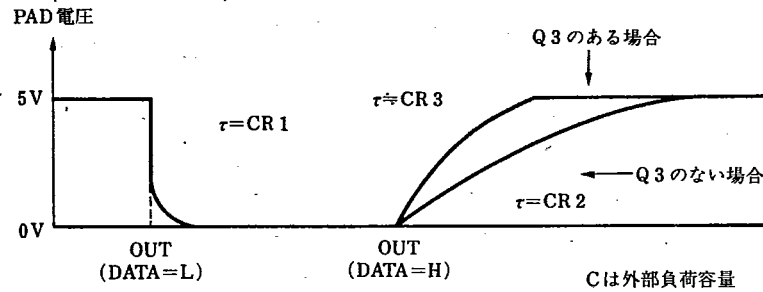
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL, ELECTRONIC 72C 05867 D

(2) 出力動作

- MOSトランジスタ Q1, Q2 はインバータを構成し出力を保持する働きをします。
○MOSトランジスタ Q3 は, OUT 命令実行時, かつ OUT データが "H" のときに働き, 出力電圧が "L" から "H" へ変化する時間を短縮します。(下図参照)

T-49-19-04



(3) 入力動作

入力ポートとして使用する際は, データ "H" を出力します。該ポートの出力回路で ON しているトランジスタは Q2 のみとなります。この Q2 を仕様書ではプルハイトランジスタと称しています。

■ マスクオプションについて

下記のマスクオプションについては, マスク発注時に指定してください。

- 1) パッケージ種類, OSC/XI の発振条件, 使用電源電圧範囲
- 2) シフトバッファの形式
- 3) 入力端子 \overline{RST} , \overline{SIRQ} , \overline{IRQ} , \overline{SBT} , P60~P73 のプルアップ抵抗の一括有無

MN1500 Family-5
MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)
6932852 PANASONIC INDL. ELECTRONIC

72C 05868 D

T-49-19-04

■ 端子説明

記号	端子名	端子の機能
V _{DD}	電源端子	+3~+5.5Vを接続します。
V _{SS}	GND端子	グラウンド(0V)を接続します。
.OSC1	発振端子	水晶またはセラミック発振素子を接続します。 外部クロック入力として使用できます。
OSC2	発振端子	水晶またはセラミック発振素子を接続します。 OSC1とOSC2の間にフィードバック抵抗を内蔵。
RST	リセット信号 入力端子	"L"レベルを1マシンサイクル以上の間、入力するとリセットがかかります。 プルアップ抵抗内蔵の場合はGNDとの間に容量を接続するとイニシャルク リアが可能となります。プルアップ抵抗オプション
SYNC	同期信号出力端子	1マシンサイクルごとに、内部のタイミング信号が出力されます。"L"レベ ルデューティは1/4です。
IRQ	割込み入力端子	ネガティブエッジ信号を入力すると、プログラム制御割込みを受け付けます。 プルアップ抵抗オプション
SIRQ	割込み入力端子	ネガティブエッジ信号を入力すると、無条件割込みがかかります。プルアッ プ抵抗オプション
SBT	直列入出力用 クロック入出力端子	内部(外部)クロックモードのときは、入出力(入力)端子となります。プ ルアップ抵抗オプション
SBO	直列データ出力端子	送信モードで8ビットの直列データを出力します。 出力を行わないときは、ハイインピーダンスです。
SBI	直列データ入力端子	受信モードで、8ビットの直列データが入力されます。プルアップ抵抗なし
XI	クロック用発振端子	カウンタロック発振素子を接続します。 外部クロック入力として使用できます。
XO	クロック用発振端子	カウンタクロック発振素子を接続します。 XIとの間にフィードバック抵抗を内蔵しています。
P00~ P33 P80~ P93	並列データ 入出力端子	4ビット並列データの入出力兼用ポートです。 ポート0と1, ポート2と3, ポート8と9を対にして8ビットの並列デー タの入出力が可能です。 プルアップ抵抗内蔵
P40~ P53 PA0~ PC2	並列データ出力端子	4ビット並列データの出力専用ポートです。 ポート4と5, ポートAとBを対にして8ビットの並列データの出力が可 能です。
P60~ P73	並列データ入力端子	4ビット並列データの入力専用ポートです。 ポート6と7を対にして8ビットの並列データの入力が可能です。プルアッ プ抵抗オプション

MN1500 Family-5
MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL,ELECTRONIC 72C 05869 D

■ リセット信号入力

RST 入力端子に "L" レベルを1マシンサイクル以上の間、入力するとリセットがかかります。

リセットが動作すると下記のレジスタ、データメモリは、初期値にイニシャライズされます。

T-49-19-04

レジスタメモリ	略号	初期値	レジスタメモリ	略号	初期値
プログラムカウンタ	PC	0	割込み受付フラグ	IF	0
アキュムレータ	A	0	割込みイネーブル/ ディスエーブルフラグ	IE	ディスエーブル
Eレジスタ	E	0	タイマ/カウンタ 制御レジスタ	TC	不定 (注)
Xレジスタ	X	0	タイマバッファ	TB	不定
ポローフラグ	CF	0	2進カウンタ	BC	不定
ゼロフラグ	ZF	0	シフトバッファ	SB	不定
RAM	—	不定	SBモードフラグ	SBF	不定
スタックポインタ	SP	C0			
出力ポートラッチ		Hレベル			

注) エバリュエータ (MN1599Q, MN1598A), ピギー (EP1554) は TC=0 になっていますので注意してください。新バージョンより変更予定。

■ 絶対最大定格/Absolute Maximum Ratings (V_{SS}=0V, T_a=25°C)

Item	Symbol	Rating	Unit
電源電圧	V _{DD}	-0.3~+9	V
入力端子電圧	V _I	V _{SS} -0.3~V _{DD} +0.3	V
出力端子電圧	V _O	V _{SS} -0.3~V _{DD} +0.3	V
入出力端子電圧	V _{IO}	V _{SS} -0.3~V _{DD} +0.3	V
せん頭出力電流	I _{OH(peak)}	-10	mA
	I _{OL(peak)}	30	mA
平均出力電流*	I _{OH(avg)}	-5	mA
	I _{OL(avg)}	15	mA
許容損失	P _D	0.2	W
動作周囲温度	T _{opr}	-20~+70	°C
保存温度	T _{stg}	-55~+125	°C

* いかなる 100ms の期間に対しても適用される。

■ 動作条件/Operating Conditions (V_{SS}=0V, T_a=-20~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V _{DD1}	t _c =4.0μs	4.5	5	5.5	V
	V _{DD2}	t _c ≤12μs/ストップ時	3		5.5	V
動作速度 注1)						
命令実行時間	t _{c1}	V _{DD} =5V	4		400	μs
	t _{c2}	V _{DD} =3V	12		400	μs
水晶発振1 (OSC1, OSC2) 注1), 注2)						
水晶周波数	f _{x1a11}	V _{DD} =5V			4	MHz
外部容量	C ₁₁	f _{osc} =1~4MHz		30		pF
	C ₁₂			30		pF
水晶発振2 (X1, X0) 注3)						
水晶周波数	f _{x1a12}	V _{DD} =5V		32	125	kHz
外部容量	C ₂₁	f _i =30~125kHz		30		pF
	C ₂₂			30		pF

MN1500 Family-5
MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL. ELECTRONIC

72C 05870

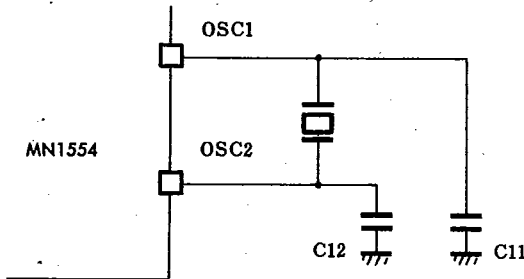
DT-49-19-04

■ 動作条件/(つづき)/Operating Conditions (Cont'd) ($V_{SS}=5V$, $T_a=-20\sim+70^{\circ}C$)

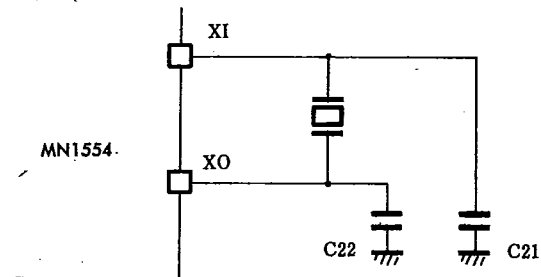
Item	Symbol	Condition	min.	typ.	max.	Unit
外部クロック入力1 (OSC1) 注1), 注4)						
クロック周波数	fosc1	tc=8t _{CP} の場合	0.02		2.0	MHz
ハイレベルパルス幅	twCPH1		200			ns
ローレベルパルス幅	twCPL1		200			ns
クロック周波数	fosc2	tc=16t _{CP} の場合	0.04		4.0	MHz
ハイレベルパルス幅	twCPH2		75			ns
ローレベルパルス幅	twCPL2		75			ns
立上り時間	t _{rCP1}				50	ns
立下り時間	t _{fCP1}				50	ns
外部クロック入力2 (XI) 注4)						
クロック周波数	fosc3		0	32	125	kHz
ハイレベルパルス幅	twCPH3		2			μs
ローレベルパルス幅	twCPL3		2			μs
立上り時間	t _{rCP2}				500	ns
立下り時間	t _{fCP2}				500	ns

注1) ROM マスクで OSC1 端子周波数の 1/8 または、1/16 の命令実行速度を選択することができます。
fosc=2.0MHz のとき 1/8 で tc=4.0μs, fosc=4.0MHz のとき 1/16 で tc=4.0μs になります。

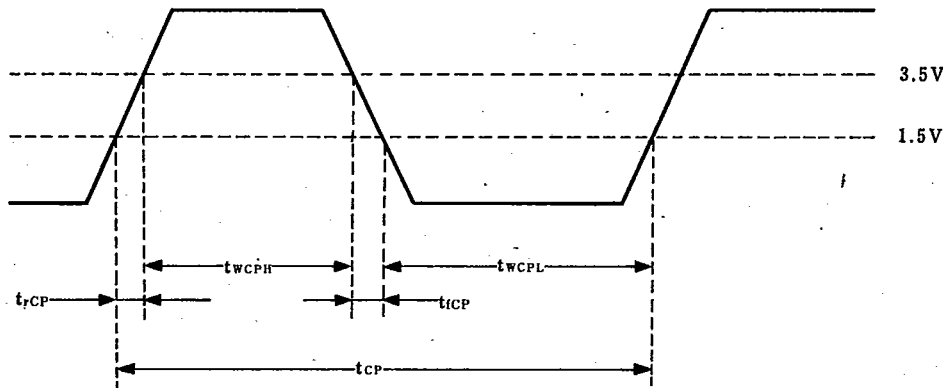
注2)



注3)



注4)



命令実行時間 (tc)=8t_{CP}または16t_{CP}

MN1500 Family-5

MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL, ELECTRONIC

72C 05871 D

■ 電気的特性 / Electrical Characteristics ($V_{DD}=5V$, $T_a=-20\sim+70^\circ C$)

T-49-19-04

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流 ^(注1) (Ta=25°C)						
動作時電源電流	I _{DD1}	tc=4μs, V _{DD} =5V		2.0	5.0	mA
	I _{DD2}	tc=12μs, V _{DD} =3V		0.2	0.5	mA
ホルト時電源電流	I _{DD3}	tc=4μs, V _{DD} =5V		0.4	1.0	mA
ストップ時電源電流	I _{DD4}	V _{DD} =5V, XI=0V			20	μA
消費電力	P _{tot}	V _{DD} =5V		10	25	mW
入力端子 1 (P60~P73)						
入力電圧ハイレベル	V _{IH1}		2.4		V _{DD}	V
入力電圧ローレベル	V _{IL1}		V _{SS}		0.8	V
入力電流	I _{IH1}	V _{IN} =0.8V, 出力 H PULL UP 抵抗あり	-40	-80	-160	μA
入力リーク電流	I _{LI1}	V _{IN} =0~5V, PULL UP 抵抗なし			±10	μA
入力端子 2 (IRQ, SIRQ, RST) ^(注2) (シュミット入力)						
入力電圧ハイレベル	V _{IH2}		2.6		V _{DD}	V
入力電圧ローレベル	V _{IL2}		V _{SS}		0.8	V
入力電流	I _{IH2}	V _{IN} =0.8V, 出力 H PULL UP 抵抗あり	-40	-80	-160	μA
入力リーク電流	I _{LI2}	V _{IN} =0~5V, PULL UP 抵抗なし			±10	μA
入力端子 3 (SBI) (PULL UP 抵抗なし, シュミット入力)						
入力電圧ハイレベル	V _{IH3}		2.6		V _{DD}	V
入力電圧ローレベル	V _{IL3}		V _{SS}		0.8	V
入力リーク電流	I _{LI3}	V _{IN} =0~5V			±10	μA
入力端子 4 (XI)						
入力電圧ハイレベル	V _{IH4}		3.5		V _{DD}	V
入力電圧ローレベル	V _{IL4}		V _{SS}		1.5	V
入力電流	I _{IH4}	V _{IN} =V _{SS}		-2.0		μA
	I _{IL4}	V _{IN} =V _{DD}		2.0		μA
入力端子 5 (OSC1)						
入力電圧ハイレベル	V _{IH5}		3.5		V _{DD}	V
入力電圧ローレベル	V _{IL5}		V _{SS}		1.5	V
入力電流	I _{IH5}	V _{IN} =V _{SS}		-10		μA
	I _{IL5}	V _{IN} =V _{DD}		10		μA
入出力端子 6 (P00~P33, P80~P93) (PULL UP 抵抗内蔵)						
入力電圧ハイレベル	V _{IH6}		2.4		V _{DD}	V
入力電圧ローレベル	V _{IL6}		V _{SS}		0.8	V
入力電流	I _{IH6}	V _{IN} =0.8V, 出力 H	-80	-160	-320	μA
出力電圧ハイレベル	V _{OH6}	I _{OH} =-50μA	2.8			V
出力電圧ローレベル	V _{OL6}	I _{OL} =2mA			0.5	V
入出力端子 8 (SBT) (シュミット入力)						
入力電圧ハイレベル	V _{IH7}		2.6		V _{DD}	V
入力電圧ローレベル	V _{IL7}		V _{SS}		0.8	V
入力電流	I _{IH7}	V _{IN} =0.8V, 出力 H PULL UP 抵抗あり	-80	-160	-320	μA
入力リーク電流	I _{LI7}	V _{IN} =0~5V, 外部クロックモード時 PULL UP 抵抗なし			±10	μA
出力電圧ハイレベル	V _{OH7}	I _{OH} =-50μA PULL UP 抵抗あり	2.8			V
出力電圧ローレベル	V _{OL7}	I _{OL} =2mA			0.5	V
出力端子 8 (P40~P53, PA0~PC2)						
出力電圧ハイレベル	V _{OH8}	I _{OH} =-50μA	2.8			V
出力電圧ローレベル	V _{OL8}	I _{OL} =2mA			0.5	V
出力端子 9 (SBO)						
出力電圧ハイレベル	V _{OH9}	I _{OH} =-300μA	2.8			V
出力電圧ローレベル	V _{OL9}	I _{OL} =2mA			0.5	V

MN1500 Family-5
 MN1554 (MN1550 Series)

マイクロコンピュータ(4-Bit)
 6932852 PANASONIC INDL ELECTRONIC

72C 05872 DT-49-19-04

■ 電気的特性(つづき) / Electrical Characteristics (Cont'd) ($V_{DD}=5V$, $T_a=-20\sim+70^{\circ}C$)

Item	Symbol	Condition	min.	typ.	max.	Unit
出力端子 10 (SYNC) 注3)						
出力電圧ハイレベル	V_{OH10}	$I_{OH}=-300\mu A$	4.0			V
出力電圧ローレベル	V_{OL10}	$I_{OL}=2mA$			0.5	

注1) $T_a=25^{\circ}C$, 無負荷状態で測定します。動作時電源電流は, RST, SBI, XI 端子を V_{SS} レベルに固定, 入力専用端子を V_{DD} レベルに固定し OSC1 端子より V_{DD} , V_{SS} 電位を振幅とする矩形波を入力します。

ストップ時電源電流は, STOP 命令の実行によるストップ状態を設定し, OSC1 端子開放, SBI, XI 端子を V_{SS} レベルに固定, その他の入力専用端子および SBT 端子を V_{DD} レベルに固定し測定します。

2) 300ns 以上 \overline{SIRQ} , \overline{IRQ} 端子がローレベルになれば割込みを受け付けます。1 命令サイクル(t_c)以上 \overline{RST} 端子がローレベルになればイニシャライズされます。

3) SYNC 端子より負荷をとる際, 出力電圧ハイレベルが 4.0V 以下になるような使い方を禁止します。

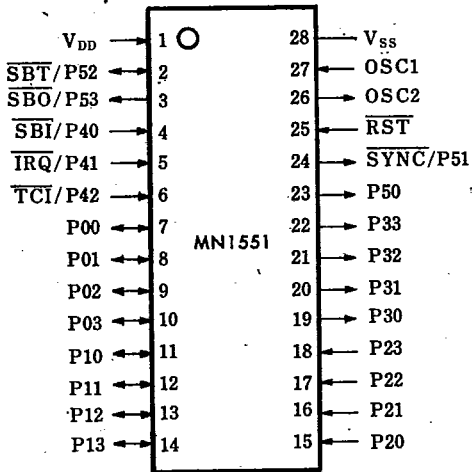
MN1500 Family-5
MN1550 Series

マイクロコンピュータ(4-Bit)

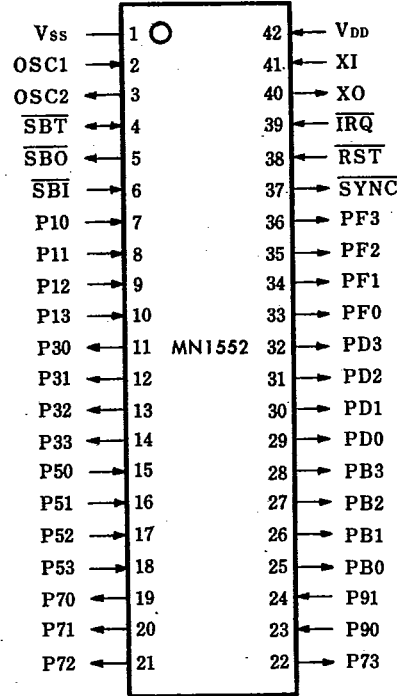
6932852 PANASONIC INDL, ELECTRONIC 72C 05873 D

■ MN1550 Series 端子配置図/Pin Assignments

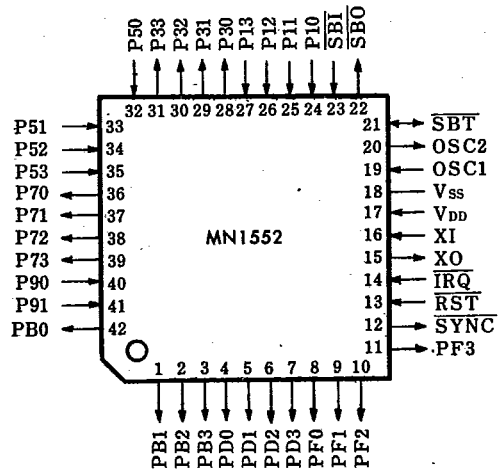
T-49-19-04



② 28-SDIP



① 42-DIP / ② 42-SDIP



③ 42-FLP

注1) 上記品種の主要特性は、MN1550 Series仕様一覧表(253ページ)をご覧ください。
注2) 詳細は、MN1554 (MN1550 Series [代表例]) とほぼ類似ですのでご参照ください。
なお、個々の品種についての仕様書も別途用意いたしております。